



<p>(51) 国際特許分類 G06F 17/15, H03H 17/02, H04J 13/02</p>	<p>A1</p>	<p>(11) 国際公開番号 WO99/06922</p> <p>(43) 国際公開日 1999年2月11日(11.02.99)</p>
<p>(21) 国際出願番号 PCT/JP97/02647</p> <p>(22) 国際出願日 1997年7月30日(30.07.97)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.)[JP/JP] 〒571 大阪府門真市大字門真1006番地 Osaka, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 新出弘紀(SHINDE, Hiroki)[JP/JP] 〒214 神奈川県川崎市多摩区枋形5-26-24-202 Kanagawa, (JP)</p> <p>(74) 代理人 弁理士 浅村 皓, 外(ASAMURA, Kiyoshi et al.) 〒100 東京都千代田区大手町2丁目2番1号 新大手町ビル331 Tokyo, (JP)</p>		<p>(81) 指定国 JP, US, 欧州特許 (AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).</p> <p>添付公開書類 国際調査報告書</p>
<p>(54) Title: DIGITAL MATCHED FILTER</p> <p>(54) 発明の名称 デジタルマッチトフィルタ</p> <p>(57) Abstract</p> <p>The power consumption of a digital matched filter for finding the value of the correlation between 6-bit digital signals (I_0) synchronized with a clock and an inverse spectrum spread code sequence composed of eight inverse spectrum spread codes ($C_7, C_6, C_5, C_4, C_3, C_2, C_1$, and C_0) is reduced. First to eighth flip-flops (211-218) constituting a storing section (210) are successively selected one by one at a clock by means of a write selecting circuit (220), and the digital signals (I_0) are stored in the selected flip-flops. The eight inverse spectrum spread codes are respectively stored in first to eight flip-flops (231-238) for code storage and shifted synchronously with the clock. The output signals of the first to eighth flip-flops are respectively multiplied by the output signals of the first to eighth flip-flops (231-238) for code storage by means of first to eight multiplying circuits (241-248).</p> <div data-bbox="922 1171 1380 1711"> <p>Legend:</p> <ul style="list-style-type: none"> 0 ... selected signal 1 ... clock 2 ... 0 data 3 ... 1 data 4 ... 2 data 5 ... 3 data 6 ... 4 data 7 ... 5 data 8 ... 6 data 9 ... 7 data 10 ... 8 data 11 ... 9 data 12 ... 10 data 13 ... 11 data 14 ... 12 data 15 ... 13 data 16 ... 14 data 17 ... 15 data 18 ... 16 data 19 ... 17 data 20 ... 18 data 21 ... 19 data 22 ... 20 data 23 ... 21 data 24 ... 22 data 25 ... 23 data 26 ... 24 data 27 ... 25 data 28 ... 26 data 29 ... 27 data 30 ... 28 data 31 ... 29 data 32 ... 30 data 33 ... 31 data 34 ... 32 data 35 ... 33 data 36 ... 34 data 37 ... 35 data 38 ... 36 data 39 ... 37 data 40 ... 38 data 41 ... 39 data 42 ... 40 data 43 ... 41 data 44 ... 42 data 45 ... 43 data 46 ... 44 data 47 ... 45 data 48 ... 46 data 49 ... 47 data 50 ... 48 data 51 ... 49 data 52 ... 50 data 53 ... 51 data 54 ... 52 data 55 ... 53 data 56 ... 54 data 57 ... 55 data 58 ... 56 data 59 ... 57 data 60 ... 58 data 61 ... 59 data 62 ... 60 data 63 ... 61 data 64 ... 62 data 65 ... 63 data 66 ... 64 data 67 ... 65 data 68 ... 66 data 69 ... 67 data 70 ... 68 data 71 ... 69 data 72 ... 70 data 73 ... 71 data 74 ... 72 data 75 ... 73 data 76 ... 74 data 77 ... 75 data 78 ... 76 data 79 ... 77 data 80 ... 78 data 81 ... 79 data 82 ... 80 data 83 ... 81 data 84 ... 82 data 85 ... 83 data 86 ... 84 data 87 ... 85 data 88 ... 86 data 89 ... 87 data 90 ... 88 data 91 ... 89 data 92 ... 90 data 93 ... 91 data 94 ... 92 data 95 ... 93 data 96 ... 94 data 97 ... 95 data 98 ... 96 data 99 ... 97 data 100 ... 98 data 101 ... 99 data 102 ... 100 data 103 ... 101 data 104 ... 102 data 105 ... 103 data 106 ... 104 data 107 ... 105 data 108 ... 106 data 109 ... 107 data 110 ... 108 data 111 ... 109 data 112 ... 110 data 113 ... 111 data 114 ... 112 data 115 ... 113 data 116 ... 114 data 117 ... 115 data 118 ... 116 data 119 ... 117 data 120 ... 118 data 121 ... 119 data 122 ... 120 data 123 ... 121 data 124 ... 122 data 125 ... 123 data 126 ... 124 data 127 ... 125 data 128 ... 126 data 129 ... 127 data 130 ... 128 data 131 ... 129 data 132 ... 130 data 133 ... 131 data 134 ... 132 data 135 ... 133 data 136 ... 134 data 137 ... 135 data 138 ... 136 data 139 ... 137 data 140 ... 138 data 141 ... 139 data 142 ... 140 data 143 ... 141 data 144 ... 142 data 145 ... 143 data 146 ... 144 data 147 ... 145 data 148 ... 146 data 149 ... 147 data 150 ... 148 data 151 ... 149 data 152 ... 150 data 153 ... 151 data 154 ... 152 data 155 ... 153 data 156 ... 154 data 157 ... 155 data 158 ... 156 data 159 ... 157 data 160 ... 158 data 161 ... 159 data 162 ... 160 data 163 ... 161 data 164 ... 162 data 165 ... 163 data 166 ... 164 data 167 ... 165 data 168 ... 166 data 169 ... 167 data 170 ... 168 data 171 ... 169 data 172 ... 170 data 173 ... 171 data 174 ... 172 data 175 ... 173 data 176 ... 174 data 177 ... 175 data 178 ... 176 data 179 ... 177 data 180 ... 178 data 181 ... 179 data 182 ... 180 data 183 ... 181 data 184 ... 182 data 185 ... 183 data 186 ... 184 data 187 ... 185 data 188 ... 186 data 189 ... 187 data 190 ... 188 data 191 ... 189 data 192 ... 190 data 193 ... 191 data 194 ... 192 data 195 ... 193 data 196 ... 194 data 197 ... 195 data 198 ... 196 data 199 ... 197 data 200 ... 198 data 201 ... 199 data 202 ... 200 data 203 ... 201 data 204 ... 202 data 205 ... 203 data 206 ... 204 data 207 ... 205 data 208 ... 206 data 209 ... 207 data 210 ... 208 data 211 ... 209 data 212 ... 210 data 213 ... 211 data 214 ... 212 data 215 ... 213 data 216 ... 214 data 217 ... 215 data 218 ... 216 data 219 ... 217 data 220 ... 218 data 221 ... 219 data 222 ... 220 data 223 ... 221 data 224 ... 222 data 225 ... 223 data 226 ... 224 data 227 ... 225 data 228 ... 226 data 229 ... 227 data 230 ... 228 data 231 ... 229 data 232 ... 230 data 233 ... 231 data 234 ... 232 data 235 ... 233 data 236 ... 234 data 237 ... 235 data 238 ... 236 data 239 ... 237 data 240 ... 238 data 241 ... 239 data 242 ... 240 data 243 ... 241 data 244 ... 242 data 245 ... 243 data 246 ... 244 data 247 ... 245 data 248 ... 246 data 249 ... 247 data 250 ... 248 data 251 ... 249 data 252 ... 250 data 253 ... 251 data 254 ... 252 data 255 ... 253 data 256 ... 254 data 257 ... 255 data 258 ... 256 data 259 ... 257 data 260 ... 258 data 261 ... 259 data 262 ... 260 data 263 ... 261 data 264 ... 262 data 265 ... 263 data 266 ... 264 data 267 ... 265 data 268 ... 266 data 269 ... 267 data 270 ... 268 data 271 ... 269 data 272 ... 270 data 273 ... 271 data 274 ... 272 data 275 ... 273 data 276 ... 274 data 277 ... 275 data 278 ... 276 data 279 ... 277 data 280 ... 278 data 281 ... 279 data 282 ... 280 data 283 ... 281 data 284 ... 282 data 285 ... 283 data 286 ... 284 data 287 ... 285 data 288 ... 286 data 289 ... 287 data 290 ... 288 data 291 ... 289 data 292 ... 290 data 293 ... 291 data 294 ... 292 data 295 ... 293 data 296 ... 294 data 297 ... 295 data 298 ... 296 data 299 ... 297 data 300 ... 298 data 301 ... 299 data 302 ... 300 data 303 ... 301 data 304 ... 302 data 305 ... 303 data 306 ... 304 data 307 ... 305 data 308 ... 306 data 309 ... 307 data 310 ... 308 data 311 ... 309 data 312 ... 310 data 313 ... 311 data 314 ... 312 data 315 ... 313 data 316 ... 314 data 317 ... 315 data 318 ... 316 data 319 ... 317 data 320 ... 318 data 321 ... 319 data 322 ... 320 data 323 ... 321 data 324 ... 322 data 325 ... 323 data 326 ... 324 data 327 ... 325 data 328 ... 326 data 329 ... 327 data 330 ... 328 data 331 ... 329 data 332 ... 330 data 333 ... 331 data 334 ... 332 data 335 ... 333 data 336 ... 334 data 337 ... 335 data 338 ... 336 data 339 ... 337 data 340 ... 338 data 341 ... 339 data 342 ... 340 data 343 ... 341 data 344 ... 342 data 345 ... 343 data 346 ... 344 data 347 ... 345 data 348 ... 346 data 349 ... 347 data 350 ... 348 data 351 ... 349 data 352 ... 350 data 353 ... 351 data 354 ... 352 data 355 ... 353 data 356 ... 354 data 357 ... 355 data 358 ... 356 data 359 ... 357 data 360 ... 358 data 361 ... 359 data 362 ... 360 data 363 ... 361 data 364 ... 362 data 365 ... 363 data 366 ... 364 data 367 ... 365 data 368 ... 366 data 369 ... 367 data 370 ... 368 data 371 ... 369 data 372 ... 370 data 373 ... 371 data 374 ... 372 data 375 ... 373 data 376 ... 374 data 377 ... 375 data 378 ... 376 data 379 ... 377 data 380 ... 378 data 381 ... 379 data 382 ... 380 data 383 ... 381 data 384 ... 382 data 385 ... 383 data 386 ... 384 data 387 ... 385 data 388 ... 386 data 389 ... 387 data 390 ... 388 data 391 ... 389 data 392 ... 390 data 393 ... 391 data 394 ... 392 data 395 ... 393 data 396 ... 394 data 397 ... 395 data 398 ... 396 data 399 ... 397 data 400 ... 398 data 401 ... 399 data 402 ... 400 data 403 ... 401 data 404 ... 402 data 405 ... 403 data 406 ... 404 data 407 ... 405 data 408 ... 406 data 409 ... 407 data 410 ... 408 data 411 ... 409 data 412 ... 410 data 413 ... 411 data 414 ... 412 data 415 ... 413 data 416 ... 414 data 417 ... 415 data 418 ... 416 data 419 ... 417 data 420 ... 418 data 421 ... 419 data 422 ... 420 data 423 ... 421 data 424 ... 422 data 425 ... 423 data 426 ... 424 data 427 ... 425 data 428 ... 426 data 429 ... 427 data 430 ... 428 data 431 ... 429 data 432 ... 430 data 433 ... 431 data 434 ... 432 data 435 ... 433 data 436 ... 434 data 437 ... 435 data 438 ... 436 data 439 ... 437 data 440 ... 438 data 441 ... 439 data 442 ... 440 data 443 ... 441 data 444 ... 442 data 445 ... 443 data 446 ... 444 data 447 ... 445 data 448 ... 446 data 449 ... 447 data 450 ... 448 data 451 ... 449 data 452 ... 450 data 453 ... 451 data 454 ... 452 data 455 ... 453 data 456 ... 454 data 457 ... 455 data 458 ... 456 data 459 ... 457 data 460 ... 458 data 461 ... 459 data 462 ... 460 data 463 ... 461 data 464 ... 462 data 465 ... 463 data 466 ... 464 data 467 ... 465 data 468 ... 466 data 469 ... 467 data 470 ... 468 data 471 ... 469 data 472 ... 470 data 473 ... 471 data 474 ... 472 data 475 ... 473 data 476 ... 474 data 477 ... 475 data 478 ... 476 data 479 ... 477 data 480 ... 478 data 481 ... 479 data 482 ... 480 data 483 ... 481 data 484 ... 482 data 485 ... 483 data 486 ... 484 data 487 ... 485 data 488 ... 486 data 489 ... 487 data 490 ... 488 data 491 ... 489 data 492 ... 490 data 493 ... 491 data 494 ... 492 data 495 ... 493 data 496 ... 494 data 497 ... 495 data 498 ... 496 data 499 ... 497 data 500 ... 498 data 501 ... 499 data 502 ... 500 data 503 ... 501 data 504 ... 502 data 505 ... 503 data 506 ... 504 data 507 ... 505 data 508 ... 506 data 509 ... 507 data 510 ... 508 data 511 ... 509 data 512 ... 510 data 513 ... 511 data 514 ... 512 data 515 ... 513 data 516 ... 514 data 517 ... 515 data 518 ... 516 data 519 ... 517 data 520 ... 518 data 521 ... 519 data 522 ... 520 data 523 ... 521 data 524 ... 522 data 525 ... 523 data 526 ... 524 data 527 ... 525 data 528 ... 526 data 529 ... 527 data 530 ... 528 data 531 ... 529 data 532 ... 530 data 533 ... 531 data 534 ... 532 data 535 ... 533 data 536 ... 534 data 537 ... 535 data 538 ... 536 data 539 ... 537 data 540 ... 538 data 541 ... 539 data 542 ... 540 data 543 ... 541 data 544 ... 542 data 545 ... 543 data 546 ... 544 data 547 ... 545 data 548 ... 546 data 549 ... 547 data 550 ... 548 data 551 ... 549 data 552 ... 550 data 553 ... 551 data 554 ... 552 data 555 ... 553 data 556 ... 554 data 557 ... 555 data 558 ... 556 data 559 ... 557 data 560 ... 558 data 561 ... 559 data 562 ... 560 data 563 ... 561 data 564 ... 562 data 565 ... 563 data 566 ... 564 data 567 ... 565 data 568 ... 566 data 569 ... 567 data 570 ... 568 data 571 ... 569 data 572 ... 570 data 573 ... 571 data 574 ... 572 data 575 ... 573 data 576 ... 574 data 577 ... 575 data 578 ... 576 data 579 ... 577 data 580 ... 578 data 581 ... 579 data 582 ... 580 data 583 ... 581 data 584 ... 582 data 585 ... 583 data 586 ... 584 data 587 ... 585 data 588 ... 586 data 589 ... 587 data 590 ... 588 data 591 ... 589 data 592 ... 590 data 593 ... 591 data 594 ... 592 data 595 ... 593 data 596 ... 594 data 597 ... 595 data 598 ... 596 data 599 ... 597 data 600 ... 598 data 601 ... 599 data 602 ... 600 data 603 ... 601 data 604 ... 602 data 605 ... 603 data 606 ... 604 data 607 ... 605 data 608 ... 606 data 609 ... 607 data 610 ... 608 data 611 ... 609 data 612 ... 610 data 613 ... 611 data 614 ... 612 data 615 ... 613 data 616 ... 614 data 617 ... 615 data 618 ... 616 data 619 ... 617 data 620 ... 618 data 621 ... 619 data 622 ... 620 data 623 ... 621 data 624 ... 622 data 625 ... 623 data 626 ... 624 data 627 ... 625 data 628 ... 626 data 629 ... 627 data 630 ... 628 data 631 ... 629 data 632 ... 630 data 633 ... 631 data 634 ... 632 data 635 ... 633 data 636 ... 634 data 637 ... 635 data 638 ... 636 data 639 ... 637 data 640 ... 638 data 641 ... 639 data 642 ... 640 data 643 ... 641 data 644 ... 642 data 645 ... 643 data 646 ... 644 data 647 ... 645 data 648 ... 646 data 649 ... 647 data 650 ... 648 data 651 ... 649 data 652 ... 650 data 653 ... 651 data 654 ... 652 data 655 ... 653 data 656 ... 654 data 657 ... 655 data 658 ... 656 data 659 ... 657 data 660 ... 658 data 661 ... 659 data 662 ... 660 data 663 ... 661 data 664 ... 662 data 665 ... 663 data 666 ... 664 data 667 ... 665 data 668 ... 666 data 669 ... 667 data 670 ... 668 data 671 ... 669 data 672 ... 670 data 673 ... 671 data 674 ... 672 data 675 ... 673 data 676 ... 674 data 677 ... 675 data 678 ... 676 data 679 ... 677 data 680 ... 678 data 681 ... 679 data 682 ... 680 data 683 ... 681 data 684 ... 682 data 685 ... 683 data 686 ... 684 data 687 ... 685 data 688 ... 686 data 689 ... 687 data 690 ... 688 data 691 ... 689 data 692 ... 690 data 693 ... 691 data 694 ... 692 data 695 ... 693 data 696 ... 694 data 697 ... 695 data 698 ... 696 data 699 ... 697 data 700 ... 698 data 701 ... 699 data 702 ... 700 data 703 ... 701 data 704 ... 702 data 705 ... 703 data 706 ... 704 data 707 ... 705 data 708 ... 706 data 709 ... 707 data 710 ... 708 data 711 ... 709 data 712 ... 710 data 713 ... 711 data 714 ... 712 data 715 ... 713 data 716 ... 714 data 717 ... 715 data 718 ... 716 data 719 ... 717 data 720 ... 718 data 721 ... 719 data 722 ... 720 data 723 ... 721 data 724 ... 722 data 725 ... 723 data 726 ... 724 data 727 ... 725 data 728 ... 726 data 729 ... 727 data 730 ... 728 data 731 ... 729 data 732 ... 730 data 733 ... 731 data 734 ... 732 data 735 ... 733 data 736 ... 734 data 737 ... 735 data 738 ... 736 data 739 ... 737 data 740 ... 738 data 741 ... 739 data 742 ... 740 data 743 ... 741 data 744 ... 742 data 745 ... 743 data 746 ... 744 data 747 ... 745 data 748 ... 746 data 749 ... 747 data 750 ... 748 data 751 ... 749 data 752 ... 750 data 753 ... 751 data 754 ... 752 data 755 ... 753 data 756 ... 754 data 757 ... 755 data 758 ... 756 data 759 ... 757 data 760 ... 758 data 761 ... 7</div>		

(57)要約

クロックに同期した6ビットのデジタル信号(I₀)と8個の逆拡散符号からなる逆拡散符号列(C₀, C₁, C₂, C₃, C₄, C₅, C₆, C₇)との相関値を求めるためのデジタルマッチフィルタの低消費電力化を図る。記憶部(210)を構成する第1乃至第8のフリップフロップ群(211~218)が書き込み選択回路(220)によってクロックごとに順に選択され、選択されたフリップフロップ群にデジタル信号(I₀)が記憶される。8個の逆拡散符号は、第1乃至第8の符号用フリップフロップ(231~238)にそれぞれ格納されており、クロックに同期してシフトされる。第1乃至第8のフリップフロップ群の出力信号と第1乃至第8の符号用フリップフロップの出力信号とが第1乃至第8の乗算回路(241~248)でそれぞれ乗算される。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AL	アルバニア	FI	フィンランド	LK	スリ・ランカ	SI	スロヴェニア
AM	アルメニア	FR	フランス	LR	リベリア	SK	スロヴァキア
AT	オーストリア	GA	ガボン	LS	レソト	SL	シエラ・レオネ
AU	オーストラリア	GB	英国	LT	リトアニア	SN	セネガル
AZ	アゼルバイジャン	GD	グレナダ	LU	ルクセンブルグ	SZ	スワジランド
BA	ボスニア・ヘルツェゴビナ	GE	グルジア	LV	ラトヴィア	TD	チャード
BB	バルバドス	GH	ガーナ	MC	モナコ	TG	トーゴ
BE	ベルギー	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BF	ブルキナ・ファソ	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BG	ブルガリア	GW	ギニア・ビサウ	MK	マケドニア旧ユーゴスラヴィア 共和国	TR	トルコ
BJ	ベナン	GR	ギリシャ	ML	マリ	TT	トリニダード・トバゴ
BR	ブラジル	HR	クロアチア	MN	モンゴル	UA	ウクライナ
BY	ベラルーシ	HU	ハンガリー	MR	モーリタニア	UG	ウガンダ
CA	カナダ	ID	インドネシア	MW	マラウイ	US	米国
CF	中央アフリカ	IE	アイルランド	MX	メキシコ	UZ	ウズベキスタン
CC	コンゴ	IL	イスラエル	NE	ニジェール	VN	ヴェトナム
CH	スイス	IN	インド	NL	オランダ	YU	ユーゴスラビア
CI	コートジボアール	IS	アイスランド	NO	ノルウェー	ZW	ジンバブエ
CM	カメルーン	IT	イタリア	NZ	ニュージーランド		
CN	中国	JP	日本	PL	ポーランド		
CU	キューバ	KE	ケニア	PT	ポルトガル		
CY	キプロス	KZ	北朝鮮	RO	ルーマニア		
CZ	チェコ	KR	韓国	RU	ロシア		
DE	ドイツ	KZ	カザフスタン	SD	スーダン		
DK	デンマーク	LC	セントルシア	SE	スウェーデン		
EE	エストニア	LI	リヒテンシュタイン	SG	シンガポール		
ES	スペイン						

明 細 書

デジタルマッチトフィルタ

5 技術分野

本発明は、デジタルマッチトフィルタに関し、特に、携帯電話などのスペクトラム拡散信号の相関検出を行う相関検出器として用いるのに好適なデジタルマッチトフィルタに関する。

背景技術

- 10 携帯電話などで使用することが検討されている符号分割多元接続（CDMA）方式によるスペクトラム拡散通信では、スペクトラム拡散信号を元の狭帯域の信号に復調する際に、マッチトフィルタが用いられる（たとえば、「デジタル携帯電話CDMA用LSI，110mWと低消費電力化」，日経エレクトロニクス，No. 656，pp. 14～15，1996年2月など）。
- 15 第1図は、FIRデジタルフィルタを用いて構成された8倍拡散8タップのデジタルマッチトフィルタの従来例を示すブロック図である（たとえば、「スペクトラム拡散ハンドブック第4版」，スタンフォード・テレコム社，1996年）。このデジタルマッチトフィルタの伝達関数 $H(z)$ は、次式で表わされる。

$$H(z) = C_0 + C_1 z^{-1} + C_2 z^{-2} + C_3 z^{-3} + C_4 z^{-4} + C_5 z^{-5} + C_6 z^{-6} + C_7 z^{-7} \quad (1)$$

20

- このデジタルマッチトフィルタは、信号入力端子1と、クロック入力端子2と、第1乃至第7のフリップフロップ群11～17からなるタップ付きシフトレジスタ10と、第1乃至第8の乗算器21～28と、第1乃至第7の加算器31～37と、出力端子5とを含む。ここで、タップ付きシフトレジスタ10を構成する
- 25 第1乃至第7のフリップフロップ群11～17はそれぞれ、互いに並列接続された6個のフリップフロップから構成されている。

信号入力端子1には、アナログ信号（たとえば、スペクトラム拡散信号）が4.096MHzのサンプリング周波数でサンプリングされて生成されたデジタル信号I。が入力される。なお、デジタル信号I。は、クロック入力端子2に入力さ

れる4. 096MHzのクロックCLKに同期した6ビットの2の補数表現のデジタル信号である。デジタル信号I₀は、タップ付きシフトレジスタ10の第1のフリップフロップ群11に入力されたのち、クロックCLKに同期して、第1のフリップフロップ群11から第7のフリップフロップ群17に向けて順次シフトされる。

第1乃至第8の乗算器21~28は、6ビット×1ビットの乗算器であり、6ビットの出力信号を出力する。第1の乗算器21では、デジタル信号I₀（6ビット）と8ビットの逆拡散符号列C₇、C₆、C₅、C₄、C₃、C₂、C₁、C₀のうちの逆拡散符号C₀（1ビット）との乗算が行われる。第2乃至第8の乗算器22~28では、第1乃至第7のフリップフロップ群11~17の出力信号と逆拡散符号C₁~C₇との乗算がそれぞれ行われる。

乗算器21~28では、たとえば、逆拡散符号が0を示すときは、デジタル信号I₀および第1乃至第7のフリップフロップ群11~17の出力信号と-1との乗算がそれぞれ行われ、逆拡散符号が1を示すときは、デジタル信号I₀および第1乃至第7のフリップフロップ群11~17の出力信号と1との乗算がそれぞれ行われる。なお、乗算器21~28における乗算の方法はこれに限られず、たとえば、逆拡散符号が0を示すときは、デジタル信号I₀および第1乃至第7のフリップフロップ群11~17の出力信号と1との乗算がそれぞれ行われ、逆拡散符号が1を示すときは、デジタル信号I₀および第1乃至第7のフリップフロップ群11~17の出力信号と-1との乗算がそれぞれ行われてもよい。

各乗算器21~28における乗算の手順について、第2図を参照して以下に説明する。

初期状態では、タップ付きシフトレジスタ10を構成する第1乃至第7のフリップフロップ群11~17の出力信号はすべて、0とされている。

第1の動作状態では、信号入力端子1にデジタル信号I₀の1番目のサンプリングデータD₀が入力され、このサンプリングデータD₀と逆拡散符号C₀との乗算が第1の乗算器21で行われる。したがって、D₀×C₀の値を示す出力信号が、第1の乗算器21から出力される。

第2の動作状態では、信号入力端子1にデジタル信号I₀の2番目のサンプリ

ングデータ D_1 がクロック CLK に同期して入力されるとともに、1 番目のサンプリングデータ D_0 が第 1 のフリップフロップ群 1 1 に取り込まれる。その結果、2 番目のサンプリングデータ D_1 と逆拡散符号 C_0 との乗算が第 1 の乗算器 2 1 で行われるとともに、1 番目のサンプリングデータ D_0 と逆拡散符号 C_1 との乗算が第 2 の乗算器 2 2 で行われる。したがって、 $D_1 \times C_0$ の値を示す出力信号が第 1 の乗算器 2 1 から出力されるとともに、 $D_0 \times C_1$ の値を示す出力信号が第 2 の乗算器 2 2 から出力される。

第 3 の動作状態では、信号入力端子 1 にデジタル信号 I。の 3 番目のサンプリングデータ D_2 がクロック CLK に同期して入力され、1 番目のサンプリングデータ D_0 が第 2 のフリップフロップ群 1 2 に取り込まれ、2 番目のサンプリングデータ D_1 が第 1 のフリップフロップ群 1 1 に取り込まれる。その結果、3 番目のサンプリングデータ D_2 と逆拡散符号 C_0 との乗算が第 1 の乗算器 2 1 で行われ、2 番目のサンプリングデータ D_1 と逆拡散符号 C_1 との乗算が第 2 の乗算器 2 2 で行われ、1 番目のサンプリングデータ D_0 と逆拡散符号 C_2 との乗算が第 3 の乗算器 2 3 で行われる。したがって、 $D_2 \times C_0$ の値を示す出力信号が第 1 の乗算器 2 1 から出力され、 $D_1 \times C_1$ の値を示す出力信号が第 2 の乗算器 2 2 から出力され、 $D_0 \times C_2$ の値を示す出力信号が第 3 の乗算器 2 3 から出力される。以降、同様の動作が第 7 の動作状態まで繰り返される。

第 8 の動作状態では、信号入力端子 1 にデジタル信号 I。の 8 番目のサンプリングデータ D_7 がクロック CLK に同期して入力され、1 番目乃至 7 番目のサンプリングデータ $D_0 \sim D_6$ が第 7 乃至第 1 のフリップフロップ群 1 7 ~ 1 1 にそれぞれ取り込まれる。したがって、 $D_7 \times C_0$ の値を示す出力信号が第 1 の乗算器 2 1 から出力され、 $D_6 \times C_1$ の値を示す出力信号が第 2 の乗算器 2 2 から出力され、 $D_5 \times C_2$ の値を示す出力信号が第 3 の乗算器 2 3 から出力され、 $D_4 \times C_3$ の値を示す出力信号が第 4 の乗算器 2 4 から出力され、 $D_3 \times C_4$ の値を示す出力信号が第 5 の乗算器 2 5 から出力され、 $D_2 \times C_5$ の値を示す出力信号が第 6 の乗算器 2 6 から出力され、 $D_1 \times C_6$ の値を示す出力信号が第 7 の乗算器 2 7 から出力され、 $D_0 \times C_7$ の値を示す出力信号が第 8 の乗算器 2 8 から出力される。

以上の動作により、デジタル信号 I_0 の最初の 8 個のサンプリングデータ $D_0 \sim D_7$ と 8 ビットの逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ との相関値を求めるのに必要な乗算がすべて行われる。

第 9 の動作状態では、信号入力端子 1 にデジタル信号 I_0 の 9 番目のサンプリングデータ D_8 がクロック CLK に同期して入力され、2 番目乃至 8 番目のサンプリングデータ $D_1 \sim D_7$ が第 7 乃至第 1 のフリップフロップ群 17～11 にそれぞれ取り込まれる。したがって、 $D_8 \times C_0$ の値を示す出力信号が第 1 の乗算器 21 から出力され、 $D_7 \times C_1$ の値を示す出力信号が第 2 の乗算器 22 から出力され、 $D_6 \times C_2$ の値を示す出力信号が第 3 の乗算器 23 から出力され、 $D_5 \times C_3$ の値を示す出力信号が第 4 の乗算器 24 から出力され、 $D_4 \times C_4$ の値を示す出力信号が第 5 の乗算器 25 から出力され、 $D_3 \times C_5$ の値を示す出力信号が第 6 の乗算器 26 から出力され、 $D_2 \times C_6$ の値を示す出力信号が第 7 の乗算器 27 から出力され、 $D_1 \times C_7$ の値を示す出力信号が第 8 の乗算器 28 から出力される。その結果、デジタル信号 I_0 の最初の 8 個のサンプリングデータ $D_0 \sim D_7$ から 1 サンプル後の 8 個のサンプリングデータ $D_1 \sim D_8$ と 8 ビットの逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ との相関値を求めるのに必要な乗算がすべて行われる。以降、同様の動作が繰り返される。

第 1 乃至第 4 の加算器 31～34 は、6 ビット+6 ビットの加算器であり、7 ビットの出力信号を出力する。第 5 および第 6 の加算器 35, 36 は、7 ビット+7 ビットの加算器であり、8 ビットの出力信号を出力する。第 7 の加算器 37 は、8 ビット+8 ビットの加算器であり、9 ビットの出力信号を出力する。第 1 の加算器 31 では、第 1 の乗算器 21 の出力信号 (6 ビット) と第 2 の乗算器 22 の出力信号 (6 ビット) との加算が行われる。第 2 の加算器 32 では、第 3 の乗算器 23 の出力信号 (6 ビット) と第 4 の乗算器 24 の出力信号 (6 ビット) との加算が行われる。第 3 の加算器 33 では、第 5 の乗算器 25 の出力信号 (6 ビット) と第 6 の乗算器 26 の出力信号 (6 ビット) との加算が行われる。第 4 の加算器 34 では、第 7 の乗算器 27 の出力信号 (6 ビット) と第 8 の乗算器 28 の出力信号 (6 ビット) との加算が行われる。第 5 の加算器 35 では、第 1 の加算器 31 の出力信号 (7 ビット) と第 2 の加算器 32 の出力信号 (7 ビット)

との加算が行われる。第6の加算器36では、第3の加算器33の出力信号（7ビット）と第4の加算器34の出力信号（7ビット）との加算が行われる。第7の加算器37では、第5の加算器35の出力信号（8ビット）と第6の加算器36の出力信号（8ビット）との加算が行われる。この結果、デジタル信号I。
 5 逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ との相関値MFOUTが第7の加算器37において得られ、出力端子5を介して外部に出力される。

次に、受信信号がオーバーサンプリングされる場合に用いられるデジタルマッチトフィルタについて説明する。

携帯電話などで受信信号の相関検出を行って受信タイミングを検出する場合、
 10 受信タイミング検出の精度を向上するために、受信信号は、通常、チップレート周波数に対してm倍オーバーサンプリングされたのち、マッチトフィルタに入力される。受信信号が2倍オーバーサンプリングされたときのマッチトフィルタの伝達関数 $H(z)$ は、次式で表わされる。

$$H(z) = C_0 + C_1 z^{-2} + C_2 z^{-4} + C_3 z^{-6} + C_4 z^{-8} + C_5 z^{-10} + C_6 z^{-12} + C_7 z^{-14} \quad (2)$$

15

第3図は、FIR2倍補間デジタルフィルタを用いて構成された8倍拡散16
 タップのデジタルマッチトフィルタの従来例を示すブロック図である。このデジタルマッチトフィルタは、信号入力端子101と、クロック入力端子102と、
 第1乃至第14のフリップフロップ群111～124からなるタップ付きシフト
 20 レジスタ110と、第1乃至第8の乗算器131～138と、第1乃至第7の加算器141～147と、出力端子105とを含む。ここで、タップ付きシフトレジスタ110を構成する第1乃至第14のフリップフロップ群111～124はそれぞれ、互いに並列接続された6個のフリップフロップから構成されている。

信号入力端子101には、アナログ信号（たとえば、スペクトラム拡散信号）
 25 が8.192MHzのサンプリング周波数で2倍オーバーサンプリングされて生成されたデジタル信号I。が入力される。なお、デジタル信号I。は、クロック入力端子102に入力される8.192MHzのクロックCLKに同期した6ビットの2の補数表現のデジタル信号である。デジタル信号I。は、タップ付きシフトレジスタ110の第1のフリップフロップ群111に入力されたのち、クロ

ックCLKに同期して、第1のフリップフロップ群111から第14のフリップフロップ群124に向けて順次シフトされる。

第1乃至第8の乗算器131～138は、6ビット×1ビットの乗算器であり、6ビットの出力信号を出力する。第1の乗算器131では、デジタル信号I。

- 5 (6ビット)と8ビットの逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ のうちの逆拡散符号 C_0 (1ビット)との乗算が行われる。第2乃至第8の乗算器132～138では、タップ付きシフトレジスタ110の偶数番目のフリップフロップ群112, 114, 116, 118, 120, 122, 124の出力信号と逆拡散符号 $C_1 \sim C_7$ との乗算がそれぞれ行われる。
- 10 乗算器131～138では、たとえば、逆拡散符号が0を示すときは、デジタル信号I。および偶数番目のフリップフロップ群112, 114, 116, 118, 120, 122, 124の出力信号と-1との乗算がそれぞれ行われ、逆拡散符号が1を示すときは、デジタル信号I。および偶数番目のフリップフロップ群112, 114, 116, 118, 120, 122, 124の出力信号と1との
- 15 の乗算がそれぞれ行われる。なお、乗算器131～138における乗算の方法はこれに限られず、たとえば、逆拡散符号が0を示すときは、デジタル信号I。および偶数番目のフリップフロップ群112, 114, 116, 118, 120, 122, 124の出力信号と1との乗算がそれぞれ行われ、逆拡散符号が1を示すときは、デジタル信号I。および偶数番目のフリップフロップ群112, 11
- 20 4, 116, 118, 120, 122, 124の出力信号と-1との乗算がそれぞれ行われてもよい。

- 第1乃至第4の加算器141～144は、6ビット+6ビットの加算器であり、7ビットの出力信号を出力する。第5および第6の加算器145, 146は、7ビット+7ビットの加算器であり、8ビットの出力信号を出力する。第7の加算器147は、8ビット+8ビットの加算器であり、9ビットの出力信号を出力する。第1の加算器141では、第1の乗算器131の出力信号(6ビット)と第2の乗算器132の出力信号(6ビット)との加算が行われる。第2の加算器142では、第3の乗算器133の出力信号(6ビット)と第4の乗算器134の出力信号(6ビット)との加算が行われる。第3の加算器143では、第5の乗
- 25

算器 1 3 5 の出力信号 (6 ビット) と第 6 の乗算器 1 3 6 の出力信号 (6 ビット) との加算が行われる。第 4 の加算器 1 4 4 では、第 7 の乗算器 1 3 7 の出力信号 (6 ビット) と第 8 の乗算器 1 3 8 の出力信号 (6 ビット) との加算が行われる。第 5 の加算器 1 4 5 では、第 1 の加算器 1 4 1 の出力信号 (7 ビット) と第 2 の

5 加算器 1 4 2 の出力信号 (7 ビット) との加算が行われる。第 6 の加算器 1 4 6 では、第 3 の加算器 1 4 3 の出力信号 (7 ビット) と第 4 の加算器 1 4 4 の出力信号 (7 ビット) との加算が行われる。第 7 の加算器 1 4 7 では、第 5 の加算器 1 4 5 の出力信号 (8 ビット) と第 6 の加算器 1 4 6 の出力信号 (8 ビット) との加算が行われる。

- 10 このデジタルマッチトフィルタにおいても、第 7 の加算器 1 4 7 においてデジタル信号 I_i と逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ との相関値 MF OUT が得られ、出力端子 1 0 5 を介して外部に出力される。なお、このデジタルマッチトフィルタでは、8. 1 9 2 MHz のクロック CLK がクロック入力端子 1 0 2 に入力されるごとに相関値 MF OUT を得ることができるため、第 1 図
- 15 に示したデジタルマッチトフィルタに比べて 1 / 2 倍の時間間隔で相関値 MF OUT を得ることができる。

しかしながら、第 1 図および第 3 図に示した従来のデジタルマッチトフィルタでは、消費電力が大きいという問題がある。すなわち、第 1 図に示した従来のデジタルマッチトフィルタでは、デジタル信号 I_i と逆拡散符号列 $C_7, C_6, C_5,$

- 20 C_4, C_3, C_2, C_1, C_0 との相関値 MF OUT を得るために、第 1 乃至第 7 のフリップフロップ群 1 1 ~ 1 7 からなるタップ付きシフトレジスタ 1 0 をタップ付き遅延線部として用いている結果、タップ付きシフトレジスタ 1 0 は 4. 0 9 6 MHz のクロック CLK に同期して動作するため、消費電力が大きくなる。また、第 3 図に示した従来のデジタルマッチトフィルタでは、デジタル信号 I_i と逆拡
- 25 散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ との相関値 MF OUT を得るために、第 1 乃至第 1 4 のフリップフロップ群 1 1 1 ~ 1 2 4 からなるタップ付きシフトレジスタ 1 1 0 をタップ付き遅延線部として用いている結果、タップ付きシフトレジスタ 1 1 0 は 8. 1 9 2 MHz のクロック CLK に同期して動作するため、消費電力がさらに大きくなる。

携帯電話などのスペクトラム拡散信号の相関検出用の相関検出器では、同相チャンネルおよび直交チャンネルについて相関検出を行う必要があるため、上記のような従来のデジタルマッチトフィルタを2つ用いて相関検出器を構成する必要がある。その結果、第1図または第3図に示した従来のデジタルマッチトフィルタを用いて相関検出器を構成すると、相関検出器の消費電力が大きくなるという問題がある。また、デジタル信号のビット数、シフトレジスタのタップ数および補間処理数が増えるに比例して相関検出器の消費電力が大きくなるという問題がある。

相関検出器の低消費電力化を図るために、アナログ信号処理で相関検出を行うアナログ・デジタルフィルタを基本構成とした広帯域DS-SS用マッチトフィルタが開発されている（佐和橋ら、「広帯域DS-SS用低消費電力マッチトフィルタLSI」、電子情報通信学会技術研究報告（無線通信），RCS95-120，1996年1月）。しかし、この広帯域DS-SS用マッチトフィルタは、アナログ入力信号が入力される複数のサンプルホールド回路から構成されたタップ付き遅延部と、このタップ付き遅延部の各出力信号とデジタル信号である乗数との乗算を行う複数の乗算回路とを用いている。このため、デジタル信号処理が主に行われるスペクトラム拡散通信方式の携帯電話などの用途では、デジタル回路ですべて構成されたデジタルマッチトフィルタの方がデジタル信号処理用の周辺回路との集積性がよりよい。

また、米国特許第5,396,446号には、入力信号がそれぞれ入力される複数のホールド回路と、乗数が格納された巡回型タップ付きシフトレジスタと、複数のホールド回路の各出力信号と巡回型タップ付きシフトレジスタの各出力信号とをそれぞれ乗算する複数の乗算器と、複数の乗算器の出力信号を加算する加算器とを含むデジタルフィルタ回路が開示されている。しかしながら、このデジタルフィルタ回路は、タップ付き遅延線部としてタップ付きシフトレジスタを用いる従来のデジタルマッチトフィルタに比べて低消費電力化を図る目的で考え出されたものではなく、2つの差動アンプと2つのトランジスタと2つのコンデンサとを用いてホールド回路を構成して、2つのトランジスタの導通／非導通を互いに逆位相のクロックで制御することにより、ホールドエラーを最小限に抑えることを目的として考え出されたものである。また、このデジタルフィルタ回路で

は、入力データは各ホールド回路のコンデンサに蓄積されて保持されるため、デジタル回路で入力データを保持する場合に比べ、入力データの保持精度が劣る。さらに、このデジタルフィルタ回路では、ホールド回路、乗算器および加算器は、コンデンサなどのアナログ素子を用いて構成されている。このため、デジタル信号処理の周辺回路との集積性がよりよい。

本発明の目的は、低消費電力化が図れ、かつ、携帯電話などに使用した場合にもデジタル信号処理用の周辺回路とともにLSIにすることが容易なデジタルマッチトフィルタを提供することにある。

発明の開示

- 本発明の第1のデジタルマッチトフィルタは、
- クロックに同期したNビットのデジタル信号とM個のデジタル符号からなるデジタル符号列との相関値を求めるためのデジタルマッチトフィルタであって、
- 15 a) 前記Nビットのデジタル信号が入力される第1乃至第Mのデジタル信号記憶手段と、
- b) 前記クロックに同期して前記第1乃至第Mのデジタル信号記憶手段を順に1個ずつ選択して、該選択したデジタル信号記憶手段に前記Nビットのデジタル信号を記憶させるデジタル書込み選択手段と、
- 20 c) 縦続接続された第1段乃至第M段の符号用フリップフロップを有し、かつ、前記クロックに同期して動作するデジタル符号列用巡回型シフトレジスタであって、
- ・ 前記M個のデジタル符号が前記第1段乃至第M段の符号用フリップフロップにそれぞれ格納され、
- 25 ・ 前記第M段の符号用フリップフロップの出力端子が前記第1段の符号用フリップフロップの入力端子に接続されている、
- デジタル符号列用巡回型シフトレジスタと、
- d) 前記第1乃至第Mのデジタル信号記憶手段の出力信号と前記第1段乃至第M段の符号用フリップフロップの出力信号とをそれぞれ乗算する第1乃至第Mの

デジタル乗算手段と、

- e) 該第1乃至第Mのデジタル乗算手段の出力信号を加算するデジタル加算手段と、
を含む。

- 5 本発明の第1のデジタルマッチトフィルタは、FIRデジタルフィルタを用いて構成されたM倍拡散Mタップのデジタルマッチトフィルタにおいて、ビット数が多いデジタル信号をクロックに同期してシフトさせずにデジタル符号をクロックに同期してシフトさせて両者の相関値を求めるため、デジタル符号をクロックに同期してシフトさせずにビット数が多いデジタル信号をクロックに同期してシフトさせて両者の相関値を求める従来のデジタルマッチトフィルタと比べて、デジタル信号を記憶する際の消費電力を大幅に低減することができる。

本発明の第2のデジタルマッチトフィルタは、

- 第2のクロックのm倍の周波数を有する第1のクロックでオーバーサンプリングされたNビットのデジタル信号とM個のデジタル符号からなるデジタル符号列との相関値を求めるためのデジタルマッチトフィルタであって、

- a) 前記Nビットのデジタル信号が入力される $m \times M$ 個のデジタル信号記憶手段と、
b) 前記第1のクロックに同期して前記 $m \times M$ 個のデジタル信号記憶手段を順に1個ずつ選択し、該選択したデジタル信号記憶手段に前記Nビットのデジタル信号を記憶させるデジタル書込み選択手段と、
20 c) 前記 $m \times M$ 個のデジタル信号記憶手段をm個ごとに分割して前記 $m \times M$ 個のデジタル信号記憶手段をM個のブロックに分け、該M個のブロックに含まれる前記m個のデジタル信号記憶手段の出力信号を前記第2のクロックの一周期内に順に選択して出力する第1乃至第Mのデジタル選択手段と、
25 d) 縦続接続された第1段乃至第M段の符号用フリップフロップを有し、かつ、前記第2のクロックに同期して動作するデジタル符号列用巡回型シフトレジスタであって、
・ 前記M個のデジタル符号が前記第1段乃至第M段の符号用フリップフロップにそれぞれ格納され、

- ・前記第M段の符号用フリップフロップの出力端子が前記第1段の符号用フリップフロップの入力端子に接続されている、
デジタル符号列用巡回型シフトレジスタと、
- e) 前記第1乃至第Mのデジタル選択手段の出力信号と前記第1段乃至第M段の
- 5 符号用フリップフロップの出力信号とをそれぞれ乗算する第1乃至第Mのデジタル乗算手段と、
- f) 該第1乃至第Mのデジタル乗算手段の出力信号を加算するデジタル加算手段と、
を含む。
- 10 本発明の第2のデジタルマッチトフィルタは、FIR m 倍補間デジタルフィルタを用いて構成されたM倍拡散($m \times M$)タップのデジタルマッチトフィルタにおいて、ビット数が多いデジタル信号をクロックに同期してシフトさせずにデジタル符号をクロックに同期してシフトさせて両者の相関値を求めるため、デジタル符号をクロックに同期してシフトさせずにビット数が多いデジタル信号をクロ
- 15 ックに同期してシフトさせて両者の相関値を求める従来のデジタルマッチトフィルタと比べて、デジタル信号を記憶する際の消費電力を大幅に低減することができる。
- 本発明の第3のデジタルマッチトフィルタは、
第2のクロックの m 倍の周波数を有する第1のクロックでオーバーサンプリン
- 20 グされたNビットのデジタル信号とM個のデジタル符号からなるデジタル符号列との相関値を求めるためのデジタルマッチトフィルタであって、
- a) シリアルに入力される前記デジタル信号をシリアル/パラレル変換して第1乃至第 m のデジタル信号をパラレルに出力するシリアル/パラレル変換手段と、
- b) 該シリアル/パラレル変換手段から前記第1乃至第 m のデジタル信号がそれ
- 25 ぞれ入力され、かつ、M個の記憶ユニットをそれぞれ有する第1乃至第 m のデジタル信号用記憶手段と、
- c) 前記第2のクロックに同期して前記第1乃至第 m のデジタル信号用記憶手段ごとに前記M個の記憶ユニットを順に1個ずつ選択し、該選択した記憶ユニットに前記第1乃至第Mのデジタル信号をそれぞれ記憶させるデジタル書込み選

択手段と、

d) 前記第1乃至第mのデジタル信号用記憶手段の出力信号を前記M個の記憶ユニットごとに前記第2のクロックの一周期内に順に選択してそれぞれ出力する第1乃至第Mのデジタル選択手段と、

5 e) 縦続接続された第1段乃至第M段の符号用フリップフロップを有し、かつ、前記第2のクロックに同期して動作するデジタル符号列用巡回型シフトレジスタであって、

- ・前記M個のデジタル符号が前記第1段乃至第M段の符号用フリップフロップにそれぞれ格納され、

10 ・前記第M段の符号用フリップフロップの出力端子が前記第1段の符号用フリップフロップの入力端子に接続されている、
デジタル符号列用巡回型シフトレジスタと、

f) 前記第1乃至第Mのデジタル選択手段の出力信号と前記第1段乃至第M段の符号用フリップフロップの出力信号とをそれぞれ乗算する第1乃至第Mのデジ

15 タル乗算手段と、

g) 該第1乃至第Mのデジタル乗算手段の出力信号を加算するデジタル加算手段と、

を含むデジタルマッチトフィルタ。

本発明の第3デジタルマッチトフィルタは、FIRデジタルフィルタを用いて
20 構成されたM倍拡散Mタップのデジタルマッチトフィルタをm個用いて、第2のクロックのm倍の周波数を有する第1のクロックでオーバーサンプリングされたデジタル信号とデジタル符号との相関を求める際に、ビット数が多いデジタル信号をクロックに同期してそれぞれシフトさせずにデジタル符号をクロックに同期してシフトさせて両者の相関値を求めるため、デジタル符号をクロックに同期し
25 てシフトさせずにビット数が多いデジタル信号をクロックに同期してそれぞれシフトさせて両者の相関値を求める従来のデジタルマッチトフィルタと比べて、デジタル信号を記憶する際の消費電力を大幅に低減することができる。

図面の簡単な説明

第1図は、FIRデジタルフィルタを用いて構成された8倍拡散8タップのデ

デジタルマッチトフィルタの従来例を示すブロック図である。

第2図は、第1図に示したデジタルマッチトフィルタにおける乗算の手順を説明するための図である。

第3図は、FIR 2倍補間デジタルフィルタを用いて構成された8倍拡散16
5 タップのデジタルマッチトフィルタの従来例を示すブロック図である。

第4図は、本発明の第1の実施態様によるデジタルマッチトフィルタを示すブロック図である。

第5図は、第4図に示したデジタルマッチトフィルタにおける乗算の手順を説明するための図である。

10 第6図は、本発明の第2の実施態様によるデジタルマッチトフィルタが備える書込み選択回路を示すブロック図である。

第7図は、第6図に示した書込み選択回路の動作を説明するためのタイミング図である。

第8図は、本発明の第3の実施態様によるデジタルマッチトフィルタを示すブ
15 ロック図である。

第9図は、本発明の第4の実施態様によるデジタルマッチトフィルタを示すブロック図である。

第10図は、本発明の第5の実施態様によるデジタルマッチトフィルタを示すブロック図である。

20 発明を実施するための最良の形態

(第1の実施態様)

本発明の第1の実施態様によるデジタルマッチトフィルタは、FIRデジタルフィルタを用いて構成された8倍拡散8タップのデジタルマッチトフィルタであって、第4図に示すように、信号入力端子201と、クロック入力端子202と、
25 第1乃至第8のフリップフロップ群211～218からなる記憶部210と、第1乃至第8の書込み選択用フリップフロップ221～228からなる巡回型タップ付きシフトレジスタを用いて構成された書込み選択回路220と、第1乃至第8の逆拡散符号用フリップフロップ231～238からなる巡回型タップ付きシフトレジスタを用いて構成された逆拡散符号列用シフトレジスタ230と、第1

乃至第8の乗算器241～248と、第1乃至第7の加算器251～257と、出力端子205とを含む。ここで、記憶部210を構成する第1乃至第8のフリップフロップ群211～218はそれぞれ、互いに並列接続された6個のフリップフロップから構成されている。

- 5 信号入力端子201には、アナログ信号（たとえば、スペクトラム拡散信号）が4.096MHzのサンプリング周波数でサンプリングされて生成されたデジタル信号I₀が入力される。なお、デジタル信号I₀は、クロック入力端子202に入力される4.096MHzのクロックCLKに同期した6ビットの2の補数表現のデジタル信号である。
- 10 記憶部210を構成する第1乃至第8のフリップフロップ群211～218のデータ入力端子Dには、デジタル信号I₀が入力されている。また、第1乃至第8のフリップフロップ群211～218のクロック入力端子Cには、書込み選択回路220を構成する第1乃至第8の書込み選択用フリップフロップ221～228の出力信号がそれぞれ入力されている。
- 15 書込み選択回路220を構成する第1乃至第8の書込み選択用フリップフロップ221～228は、初期状態では、任意の一つの書込み選択用フリップフロップに“1”（論理値でハイレベル）が書き込まれており、他の書込み選択用フリップフロップには“0”（論理値でロウレベル）が書き込まれている。以降、説明の簡単のため、初期状態では、第8の書込み選択用フリップフロップ228のみに“1”が書き込まれているとする。第1乃至第8の書込み選択用フリップフロップ221～228のクロック入力端子Cには、クロックCLKが入力されている。第8の書込み選択用フリップフロップ228のクロック入力端子CにクロックCLKが入力すると、初期状態で第8の書込み選択用フリップフロップ228に書き込まれた“1”が第1の書込み選択用フリップフロップ221にシフト
- 20 される。第1の書込み選択用フリップフロップ221にシフトされた“1”は、以降、クロックCLKに同期して、第2の書込み選択用フリップフロップ222から第8の書込み選択用フリップフロップ228に向って順にシフトされる。これにより、記憶部210を構成する第1乃至第8のフリップフロップ群211～218のクロック入力端子Cには“1”がクロックCLKに同期して順に入力さ

れるため、デジタル信号 I。がクロック CLK に同期して第 1 乃至第 8 のフリップフロップ群 211～218 に順に取り込まれて保持される。

逆拡散符号列用シフトレジスタ 230 を構成する第 1 乃至第 8 の逆拡散符号用フリップフロップ 231～238 には、8 ビットの逆拡散符号列 C₇、C₆、C₅、

- 5 C₄、C₃、C₂、C₁、C₀ の逆拡散符号がそれぞれ書き込まれている。以降、説明の簡単のため、初期状態では、逆拡散符号 C₀～C₇ は、逆拡散符号 C₇ から逆拡散符号 C₀ の順番で第 1 乃至第 8 の逆拡散符号用フリップフロップ 231～238 にそれぞれ格納されているとする。

- 第 1 乃至第 8 の逆拡散符号用フリップフロップ 231～238 のクロック入力
- 10 端子 C には、クロック CLK が入力されており、クロック CLK に同期して、第 1 乃至第 8 の逆拡散符号用フリップフロップ 231～238 に格納された各逆拡散符号 C₀～C₇ が第 1 の逆拡散符号用フリップフロップ 231 から第 8 の逆拡散符号用フリップフロップ 238 へ向って順にシフトされる。なお、第 8 の逆拡散符号用フリップフロップ 238 にシフトされた逆拡散符号は、次のクロック C
- 15 LK に同期して、第 1 の逆拡散符号用フリップフロップ 231 にシフトされる。これにより、第 1 乃至第 8 の逆拡散符号用フリップフロップ 231～238 からは、クロック CLK に同期して、逆拡散符号 C₀ から逆拡散符号 C₇ が順にシフトされながら出力される。

- 第 1 乃至第 8 の乗算器 241～248 は、6 ビット×1 ビットの乗算器であり、
- 20 6 ビットの出力信号を出力する。第 1 乃至第 8 の乗算器 241～248 では、第 1 乃至第 8 のフリップフロップ群 211～218 の出力信号（6 ビット）と第 1 乃至第 8 の逆拡散符号用フリップフロップ 231～238 から出力される逆拡散符号（1 ビット）との乗算がそれぞれ行われる。なお、乗算器 241～248 では、たとえば、逆拡散符号が 1 を示すときは、第 1 乃至第 8 のフリップフロップ
- 25 群 211～218 の出力信号と 1 との乗算が行われ、逆拡散符号が 0 を示すときは、第 1 乃至第 8 のフリップフロップ群 211～218 の出力信号と -1 との乗算が行われる。

各乗算器 241～248 における乗算の手順について、第 5 図を参照して以下に述べる。

第1の動作状態では、信号入力端子201にデジタル信号I。の1番目のサンプリングデータD₀がクロックCLKに同期して入力されるとともに、初期状態において書込み選択回路220の第8の書込み選択用フリップフロップ228に書き込まれた“1”がクロックCLKに同期して第1の書込み選択用フリップフロップ221にシフトされる。この結果、記憶部210の第1のシフトレジスタ群211のクロック入力端子Cにのみ“1”が入力されて、1番目のサンプリングデータD₀が第1のシフトレジスタ群211に取り込まれて保持される。また、初期状態で逆拡散符号列用シフトレジスタ230の第8の逆拡散符号用フリップフロップ238に格納された逆拡散符号C₀がクロックCLKに同期して第1の逆拡散符号用フリップフロップ231にシフトされる結果、1番目のサンプリングデータD₀と逆拡散符号C₀との乗算が第1の乗算器241で行われる。したがって、D₀×C₀の値を示す出力信号が、第1の乗算器241から出力される。

第2の動作状態では、信号入力端子201にデジタル信号I。の2番目のサンプリングデータD₁がクロックCLKに同期して入力されるとともに、第1の動作状態で書込み選択回路220の第1の書込み選択用フリップフロップ221にシフトされた“1”がクロックCLKに同期して第2の書込み選択用フリップフロップ222にシフトされる。この結果、記憶部210の第2のシフトレジスタ群212のクロック入力端子Cにのみ“1”が入力されて、2番目のサンプリングデータD₁が第2のシフトレジスタ群212に取り込まれて保持される。このとき、第1のフリップフロップ群211には、第1の動作状態で取り込まれた1番目のサンプリングデータD₀がそのまま保持されている。また、逆拡散符号列用シフトレジスタ230に格納されている各逆拡散符号がクロックCLKに同期してシフトされる結果、第1の動作状態で第1の逆拡散符号用フリップフロップ231にシフトされた逆拡散符号C₀が第2の逆拡散符号用フリップフロップ232にシフトされるとともに、第1の動作状態で第8の逆拡散符号用フリップフロップ238にシフトされた逆拡散符号C₀が第1の逆拡散符号用フリップフロップ231にシフトされる。その結果、2番目のサンプリングデータD₁と逆拡散符号C₀との乗算が第2の乗算器242で行われるとともに、1番目のサンプリングデータD₀と逆拡散符号C₁との乗算が第1の乗算器241で行われる。

したがって、 $D_1 \times C_0$ の値を示す出力信号が第2の乗算器242から出力されるとともに、 $D_0 \times C_1$ の値を示す出力信号が第1の乗算器241から出力される。

- 第3の動作状態では、信号入力端子201にデジタル信号I。の3番目のサンプリングデータ D_2 がクロックCLKに同期して入力されるとともに、第2の動作状態で書込み選択回路220の第2の書込み選択用フリップフロップ222にシフトされた“1”がクロックCLKに同期して第3の書込み選択用フリップフロップ223にシフトされる。この結果、記憶部210の第3のシフトレジスタ群213のクロック入力端子Cにのみ“1”が入力されて、3番目のサンプリングデータ D_2 が第3のシフトレジスタ群213に取り込まれて保持される。このとき、第1のフリップフロップ群211には、第1の動作状態で取り込まれた1番目のサンプリングデータ D_0 がそのまま保持されており、第2のフリップフロップ群212には、第2の動作状態で取り込まれた2番目のサンプリングデータ D_1 がそのまま保持されている。また、逆拡散符号列用シフトレジスタ230に格納されている各逆拡散符号がクロックCLKに同期してシフトされる結果、第2の動作状態で第2の逆拡散符号用フリップフロップ232にシフトされた逆拡散符号 C_0 が第3の逆拡散符号用フリップフロップ233にシフトされ、第2の動作状態で第1の逆拡散符号用フリップフロップ231にシフトされた逆拡散符号 C_1 が第2の逆拡散符号用フリップフロップ232にシフトされ、第2の動作状態で第8の逆拡散符号用フリップフロップ238にシフトされた逆拡散符号 C_7 が第1の逆拡散符号用フリップフロップ231にシフトされる。その結果、3番目のサンプリングデータ D_2 と逆拡散符号 C_0 との乗算が第3の乗算器243で行われ、2番目のサンプリングデータ D_1 と逆拡散符号 C_1 との乗算が第2の乗算器242で行われ、1番目のサンプリングデータ D_0 と逆拡散符号 C_2 との乗算が第1の乗算器241で行われる。したがって、 $D_2 \times C_0$ の値を示す出力信号が第3の乗算器243から出力され、 $D_1 \times C_1$ の値を示す出力信号が第2の乗算器242から出力され、 $D_0 \times C_2$ の値を示す出力信号が第1の乗算器241から出力される。以降、第7の動作状態まで同様の動作が繰り返される。

第8の動作状態では、信号入力端子201にデジタル信号I。の8番目のサン

- プリングデータ D_7 がクロック CLK に同期して入力されるとともに、第7の動作状態で書き込み選択回路 220 の第7の書き込み選択用フリップフロップ 227 にシフトされた“1”がクロック CLK に同期して第8の書き込み選択用フリップフロップ 228 にシフトされる。この結果、記憶部 210 の第8のシフトレジスタ群 218 のクロック入力端子 C にのみ“1”が入力されて、8番目のサンプリングデータ D_7 が第8のシフトレジスタ群 218 に取り込まれて保持される。このとき、第1乃至第7のフリップフロップ群 211～217 には、第7の動作状態までに取り込まれた1番目乃至7番目のサンプリングデータ $D_0 \sim D_6$ がそれぞれそのまま保持されている。また、逆拡散符号列用シフトレジスタ 230 に格納
- 10 されている各逆拡散符号がクロック CLK に同期してシフトされる結果、第1乃至第8の逆拡散符号用フリップフロップ 231～238 には逆拡散符号 $C_7 \sim C_0$ がそれぞれ格納される。これにより、記憶部 210 の第1乃至第8のフリップフロップ 211～218 にそれぞれ保持されたデジタル信号 I_0 の1番目から8番目のサンプリングデータ $D_0 \sim D_7$ と逆拡散符号列用シフトレジスタ 230
- 15 の第1乃至第8の逆拡散符号列用フリップフロップ 231～238 にそれぞれシフトされた逆拡散符号 $C_7 \sim C_0$ との乗算が、第1乃至第8の乗算器 241～248 でそれぞれ行われる。その結果、 $D_7 \times C_0$ の値を示す出力信号が第8の乗算器 248 から出力され、 $D_6 \times C_1$ の値を示す出力信号が第7の乗算器 247 から出力され、 $D_5 \times C_2$ の値を示す出力信号が第6の乗算器 246 から出力され、 $D_4 \times C_3$ の値を示す出力信号が第5の乗算器 245 から出力され、 $D_3 \times C_4$ の値を示す出力信号が第4の乗算器 244 から出力され、 $D_2 \times C_5$ の値を示す出力信号が第3の乗算器 243 から出力され、 $D_1 \times C_6$ の値を示す出力信号が第2の乗算器 242 から出力され、 $D_0 \times C_7$ の値を示す出力信号が第1の乗算器 241 から出力される。
- 25 以上の動作により、デジタル信号 I_0 の最初の8個のサンプリングデータ $D_7, D_6, D_5, D_4, D_3, D_2, D_1, D_0$ と8ビットの逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ との相関値を求めるのに必要な乗算がすべて行われる。
- 第9の動作状態では、信号入力端子 201 にデジタル信号 I_0 の9番目のサンプリングデータ D_8 がクロック CLK に同期して入力されるとともに、第8の動

作状態で書込み選択回路220の第8の書込み選択用フリップフロップ228にシフトされた“1”がクロックCLKに同期して第1の書込み選択用フリップフロップ221にシフトされる。この結果、記憶部210の第1のシフトレジスタ群211のクロック入力端子Cにのみ“1”が入力されて、9番目のサンプリングデータ D_8 が第1のシフトレジスタ群211に取り込まれて保持される。このとき、第2乃至第8のフリップフロップ群211～218には、第8の動作状態までに取り込まれた2番目乃至8番目のサンプリングデータ $D_1 \sim D_7$ がそれぞれそのまま保持されている。また、逆拡散符号列用シフトレジスタ230に格納されている各逆拡散符号がクロックCLKに同期してシフトされる結果、第1の逆拡散符号用フリップフロップ231には逆拡散符号 C_0 が格納され、第2乃至第8の逆拡散符号用フリップフロップ232～238には逆拡散符号 $C_1 \sim C_7$ がそれぞれ格納される。これにより、記憶部210の第1のフリップフロップ211に保持されたデジタル信号 I_0 の9番目のサンプリングデータ D_8 と逆拡散符号列用シフトレジスタ230の第1の逆拡散符号用フリップフロップ231に格納された逆拡散符号 C_0 との乗算が第1の乗算器241で行われるとともに、第2乃至第9のフリップフロップ212～218にそれぞれ保持されたデジタル信号 I_0 の2番目から8番目のサンプリングデータ $D_1 \sim D_7$ と逆拡散符号列用シフトレジスタ230の第2乃至第8の逆拡散符号用フリップフロップ231～238にそれぞれ格納された逆拡散符号 $C_1 \sim C_7$ との乗算が第2乃至第8の乗算器242～248でそれぞれ行われる。その結果、 $D_8 \times C_0$ の値を示す出力信号が第1の乗算器241から出力され、 $D_7 \times C_1$ の値を示す出力信号が第8の乗算器248から出力され、 $D_6 \times C_2$ の値を示す出力信号が第7の乗算器247から出力され、 $D_5 \times C_3$ の値を示す出力信号が第6の乗算器246から出力され、 $D_4 \times C_4$ の値を示す出力信号が第5の乗算器245から出力され、 $D_3 \times C_5$ の値を示す出力信号が第4の乗算器244から出力され、 $D_2 \times C_6$ の値を示す出力信号が第3の乗算器243から出力され、 $D_1 \times C_7$ の値を示す出力信号が第2の乗算器242から出力される。

その結果、デジタル信号 I_0 の最初の8個のサンプリングデータ $D_1, D_2, D_3, D_4, D_5, D_6, D_7, D_8$ から1サンプリング後の8個のサンプリングデータ $D_1, D_2, D_3, D_4, D_5, D_6, D_7, D_8$ 。

$D_7, D_6, D_5, D_4, D_3, D_2, D_1$ と 8 ビットの逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ との相関値を求めるのに必要な乗算がすべて行われる。以降、同様の動作が繰り返される。

第 1 乃至第 4 の加算器 251 ~ 254 は、6 ビット + 6 ビットの加算器であり、
 5 7 ビットの出力信号を出力する。第 5 および第 6 の加算器 255, 256 は、7
 ビット + 7 ビットの加算器であり、8 ビットの出力信号を出力する。第 7 の加算
 器 257 は、8 ビット + 8 ビットの加算器であり、9 ビットの出力信号を出力す
 る。第 1 の加算器 251 では、第 1 の乗算器 241 の出力信号 (6 ビット) と第
 2 の乗算器 242 の出力信号 (6 ビット) との加算が行われる。第 2 の加算器 2
 10 52 では、第 3 の乗算器 243 の出力信号 (6 ビット) と第 4 の乗算器 244 の
 出力信号 (6 ビット) との加算が行われる。第 3 の加算器 253 では、第 5 の乗
 算器 255 の出力信号 (6 ビット) と第 6 の乗算器 256 の出力信号 (6 ビット)
 との加算が行われる。第 4 の加算器 254 では、第 7 の乗算器 247 の出力信号
 (6 ビット) と第 8 の乗算器 248 の出力信号 (6 ビット) との加算が行われる。
 15 第 5 の加算器 255 では、第 1 の加算器 251 の出力信号 (7 ビット) と第 2 の
 加算器 252 の出力信号 (7 ビット) との加算が行われる。第 6 の加算器 256
 では、第 3 の加算器 253 の出力信号 (7 ビット) と第 4 の加算器 254 の出力
 信号 (7 ビット) との加算が行われる。第 7 の加算器 257 では、第 5 の加算器
 255 の出力信号 (8 ビット) と第 6 の加算器 256 の出力信号 (8 ビット) と
 20 の加算が行われる。この結果、デジタル信号 I_0 と逆拡散符号列 $C_7, C_6, C_5,$
 C_4, C_3, C_2, C_1, C_0 との相関値 $MFOUT$ が第 7 の加算器 257 で得られ、出
 力端子 205 を介して外部に出力される。

次に、本実施態様によるデジタルマッチトフィルタと第 1 図に示した従来のデ
 ジタルマッチトフィルタとの消費電力の比較について説明する。本実施態様によ
 25 るデジタルマッチトフィルタでは、クロック CLK ごとのデジタル信号 I_0 の記
 憶部 210 への書込みは、第 1 乃至第 8 のフリップフロップ群 211 ~ 218 の
 うちの 1 つでしか行われない。したがって、各フリップフロップ群 211 ~ 21
 8 を構成する一つのフリップフロップの消費電力を W とすると、記憶部 210 に
 おける消費電力は $6W$ となる。また、本実施態様によるデジタルマッチトフィル

タでは、書込み選択回路 220 を構成する第 1 乃至第 8 の書込み選択用フリップフロップ 221～228 と逆拡散符号列用シフトレジスタ 230 を構成する第 1 乃至第 8 の逆拡散符号用フリップフロップ 231～238 とはクロック CLK に同期して動作するため、書込み選択回路 220 および逆拡散符号列用シフトレジスタ 230 における消費電力は $2 \times 8 W = 16 W$ となる。したがって、本実施態様によるデジタルマッチトフィルタの記憶部 210、書込み選択回路 220 および逆拡散符号列用シフトレジスタ 230 における消費電力は $6 W + 16 W = 22 W$ となる。これに対して、第 1 図に示した従来のデジタルマッチトフィルタでは、クロック CLK ごとのデジタル信号 I₀ のタップ付きシフトレジスタ 10 への書込み時には、第 1 乃至第 7 のフリップフロップ群 11～18 はクロック CLK に同期してすべて動作するため、タップ付きシフトレジスタ 10 における消費電力は $6 \times 7 W = 42 W$ となる。したがって、本実施態様によるデジタルマッチトフィルタの第 1 乃至第 8 の乗算器 241～248 および第 1 乃至第 7 の加算器 251～257 における消費電力と第 1 図に示した従来のデジタルマッチトフィルタの第 1 乃至第 8 の乗算器 21～28 および第 1 乃至第 7 の加算器 31～37 における消費電力とは同じであるため、本実施態様によるデジタルマッチトフィルタの消費電力は、第 1 図に示した従来のデジタルマッチトフィルタの消費電力に比べて $22 W / 42 W = 1 / 2$ となる。

一般的には、M 倍拡散 M タップデジタルマッチトフィルタでは、デジタル信号 I₀ のビット数を N とすると、本実施態様によるデジタルマッチトフィルタでは、記憶部 210 の各フリップフロップ群は N 個のフリップフロップで構成され、書込み選択回路 220 および逆拡散符号列用シフトレジスタ 230 はそれぞれ M 個のフリップフロップで構成される。したがって、本実施態様によるデジタルマッチトフィルタの記憶部 210、書込み選択回路 220 および逆拡散符号列用シフトレジスタ 230 における消費電力は、 $NW + MW + MW = (N + M + M) W$ となる。これに対して、第 1 図に示した従来のデジタルマッチトフィルタでは、タップ付きシフトレジスタ 10 は $(M - 1) N$ 個のフリップフロップで構成されるため、タップ付きシフトレジスタ 10 における消費電力は $(M - 1) NW$ となる。したがって、本実施態様によるデジタルマッチトフィルタの消費電力は、第 1 図

に示した従来のデジタルマッチトフィルタの消費電力に比べて、 $(N+M+M)W / (M-1)NW = (N+M+M) / (M-1)N$ となる。なお、一般的には $M \gg 1$ であるので、本実施態様によるデジタルマッチトフィルタの消費電力は、第1図に示した従来のデジタルマッチトフィルタの消費電力に比べて、 $1/M + 1/N + 1/N$ となる。

上記説明では、逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ を構成する各逆拡散符号は1ビットとした。しかし、逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ を構成する各逆拡散符号のビット数が2以上である場合もある（ただし、各逆拡散符号のビット数はデジタル信号 I_i のビット数よりも小さい）。たとえば、各逆拡散符号が、1, 0, -1を示す2ビットの場合である。各逆拡散符号のビット数が2以上である場合には、第4図に示した逆拡散符号列用シフトレジスタ230の代わりに、互いに並列接続された2個以上のフリップフロップからなるフリップフロップ群を8個用いて巡回型タップ付きシフトレジスタを構成された逆拡散符号列用シフトレジスタを使用すればよい。

第1乃至第8の乗算器241～248は、論理回路で構成された乗算器である必要はなく、同じ乗算結果を出力する手段（たとえば、逆拡散符号が1の場合には入力信号をそのまま出力し、逆拡散符号が0（係数-1の乗算）の場合には入力信号の符号ビットを反転して出力する回路）であってもよい。

（第2の実施態様）

本発明の第2の実施態様によるデジタルマッチトフィルタは、第4図に示した書込み選択回路220の代わりに第6図に示す書込み選択回路300を含む点で、上述した第1の実施態様によるデジタルマッチトフィルタと異なる。

本実施態様によるデジタルマッチトフィルタが備える書込み選択回路300は、第6図に示すように、第1乃至第8の書込み選択用フリップフロップ311～318およびセクタ回路320からなる巡回型タップ付きシフトレジスタを用いて構成されている。第1乃至第8の書込み選択用フリップフロップ311～318のクロック入力端子Cには、4.096MHzのクロックCLKがクロック入力端子301を介して入力されている。第1乃至第8の書込み選択用フリップフロップ311～318のリセット端子Rには、リセット信号RSがリセット信号

入力端子 302 を介して入力されている。セクタ回路 320 の第 1 の入力端子 A には、第 8 の書込み選択用フリップフロップ 318 の出力信号 Q_8 が入力されている。セクタ回路 320 の第 2 の入力端子 B には、電源電圧 V_{cc} (論理値でハイレベルに相当する電圧) が入力されている。セクタ回路 320 の選択端子 S には、書込みタイミング制御信号 WE が書込みタイミング制御信号入力端子 303 を介して入力されている。セクタ回路 320 の出力端子 Y は、第 1 の書込み選択用フリップフロップ 311 のデータ入力端子 D に接続されている。なお、セクタ回路 320 では、書込みタイミング制御信号 WE が “1” (論理値でハイレベル) のとき第 2 の入力端子 B が選択され、書込みタイミング制御信号 WE が “0” (論理値でロウレベル) のとき第 1 の入力端子 A が選択される。

次に、書込み選択回路 300 の動作について、第 7 図に示すタイミング図を参照して説明する。時刻 t_0 より前の時刻では、リセット信号 RS が “0” であるため、第 1 乃至第 8 の書込み選択用フリップフロップ 311 ~ 318 はすべてリセットされており、第 1 乃至第 8 の書込み選択用フリップフロップ 311 ~ 318 の出力信号 $Q_1 \sim Q_8$ はすべて 0 とされている。時刻 t_0 でリセット信号 RS が “1” とされたのち、時刻 t_1 で書込みタイミング制御信号 WE が “1” とされると、セクタ回路 320 では、第 2 の入力端子 B が選択されて、セクタ回路 320 の出力端子 Y から出力される出力信号は “1” となる。その結果、時刻 t_2 でクロック CLK が “0” から “1” になると、セクタ回路 320 の出力信号が第 1 の書込み選択用フリップフロップ 311 に取り込まれて保持されて、第 1 の書込み選択用フリップフロップ 311 の出力信号 Q_1 は “1” となる。このとき、第 2 乃至第 8 の書込み選択用フリップフロップ 312 ~ 318 には、時刻 t_1 における第 1 乃至第 7 の書込み選択用フリップフロップ 311 ~ 317 の出力信号 $Q_1 \sim Q_7$ (すべて 0) がそれぞれ取り込まれて保持されるため、第 2 乃至第 8 の書込み選択用フリップフロップ 312 ~ 318 の出力信号 $Q_2 \sim Q_8$ は 0 のままである。

時刻 t_3 で書込みタイミング制御信号 WE が “0” とされと、セクタ回路 320 では、第 1 の入力端子 A が選択されて、セクタ回路 320 の出力端子 Y からは第 8 の書込み選択用フリップフロップ 318 の出力信号 Q_8 が出力される。

その結果、時刻 t_1 でクロック CLK が “0” から “1” になると、第8の書込み選択用フリップフロップ318の出力信号 Q_8 が第1の書込み選択用フリップフロップ311に取り込まれて保持されて、第1の書込み選択用フリップフロップ311の出力信号 Q_1 は “0” となる。また、第2の書込み選択用フリップフロップ312には、時刻 t_1 における第1の書込み選択用フリップフロップ311の出力信号 Q_1 が取り込まれて保持されるため、第2の書込み選択用フリップフロップ312の出力信号 Q_2 は “1” となる。第3乃至第8の書込み選択用フリップフロップ313～318には、時刻 t_1 における第2乃至第7の書込み選択用フリップフロップ312～317の出力信号 $Q_2 \sim Q_7$ がそれぞれ取り込まれて保持されるため、第3乃至第8の書込み選択用フリップフロップ313～318の出力信号 $Q_3 \sim Q_8$ は “0” のままである。以降、同様の動作が繰り返される結果、第6図に示すように、時刻 t_2 において第1の書込み選択用フリップフロップ311に取り込まれて保持された “1” がクロック CLK に同期して第1の書込み選択用フリップフロップ311から第8の書込み選択用フリップフロップ318向ってシフトされる。そして、第8の書込み選択用フリップフロップ318に取り込まれて保持された “1” は、クロック CLK に同期して第1の書込み選択用フリップフロップ311にシフトされる。

本実施態様におけるデジタルマッチトフィルタの消費電力は、上述した第1の実施態様によるデジタルマッチトフィルタの消費電力に比べて、セレクト回路320の消費電力が加算されるだけであるため、第1図に示した従来のデジタルマッチトフィルタに比べて低消費電力化が図れる。

(第3の実施態様)

本発明の第3の実施態様によるデジタルマッチトフィルタは、FIR 2倍補間デジタルフィルタを用いて構成された8倍拡散16タップのデジタルマッチトフィルタであって、第8図に示すように、信号入力端子401と、第1のクロック入力端子402と、第2のクロック入力端子403と、第1乃至第16のフリップフロップ群411～426からなる記憶部410と、第1乃至第16の書込み選択用フリップフロップ431～446からなる巡回型タップ付きシフトレジスタを用いて構成された書込み選択回路430と、第1乃至第8のセレクト回路群

451～458と、第1乃至第8の逆拡散符号用フリップフロップ461～468からなる巡回型タップ付きシフトレジスタを用いて構成された逆拡散符号列用シフトレジスタ460と、第1乃至第8の乗算器471～478と、第1乃至第7の加算器481～487と、出力端子405とを含む。ここで、記憶部4105を構成する第1乃至第16のフリップフロップ群411～426はそれぞれ、互いに並列接続された6個のフリップフロップから構成されている。また、第1乃至第8のセクタ回路群451～458はそれぞれ、互いに並列接続された6個のセクタ回路から構成されている。

信号入力端子401には、アナログ信号（スペクトラム拡散信号）が8.192MHzのサンプリング周波数で2倍オーバーサンプリングされて生成されたデジタル信号I₀が入力される。なお、デジタル信号I₀は、第1のクロック入力端子402に入力される8.192MHzの第1のクロックCLK1に同期した6ビットの2の補数表現のデジタル信号である。記憶部410を構成する第1乃至第16のフリップフロップ群411～426のデータ入力端子Dには、デジタル信号I₀が入力されている。また、第1乃至第16のフリップフロップ群411～426のクロック入力端子Cには、書込み選択回路430を構成する第1乃至第16の書込み選択用フリップフロップ431～446の出力信号がそれぞれ入力されている。

書込み選択回路430を構成する第1乃至第16の書込み選択用フリップフロップ431～446は、初期状態では、任意の一つの書込み選択用フリップフロップに“1”が書き込まれており、他の書込み選択用フリップフロップには“0”が書き込まれている。以降、説明の簡単のため、初期状態では、第16の書込み選択用フリップフロップ446のみに“1”が書き込まれて保持されているとする。第1乃至第16の書込み選択用フリップフロップ431～446のクロック入力端子Cには、第1のクロックCLK1が入力されている。第16の書込み選択用フリップフロップ446のクロック入力端子Cに第1のクロックCLK1が入力すると、第16の書込み選択用フリップフロップ446に保持されていた

“1”が第1の書込み選択用フリップフロップ431にシフトされる。第1の書込み選択用フリップフロップ431にシフトされた“1”は、以降、第1のクロ

ックCLK1に同期して、第2の書込み選択用フリップフロップ432から第16の書込み選択用フリップフロップ446に向ってシフトされる。これにより、記憶部410を構成する第1乃至第16のフリップフロップ群411～426のクロック入力端子Cに“1”が第1のクロックCLK1に同期して順に入力されるため、デジタル信号I₀が第1のクロックCLK1に同期して第1乃至第16のフリップフロップ群411～426に順に取り込まれて保持される。

第2のクロック入力端子403には、4.096MHzの第2のクロックCLK2が入力される。第1乃至第8のセクタ回路群451～458を構成する各セクタ回路の選択端子Sには、第2のクロックCLK2が入力されており、第2のクロックCLK2が“1”のとき第1の入力端子Aが選択され、第2のクロックCLK2が“0”のとき第2の入力端子Bが選択される。したがって、第2のクロックCLK2が“1”のときには、第1乃至第8のセクタ回路群451～458の第1の入力端子Aにそれぞれ接続された記憶部410の奇数番目のフリップフロップ群411, 413, 415, 417, 419, 421, 423, 425の出力信号が、第1乃至第8のセクタ回路群451～458の出力端子Yからそれぞれ出力される。一方、第2のクロックCLK2が“0”のときには、第1乃至第8のセクタ回路群451～458の第2の入力端子Bにそれぞれ接続された記憶部410の偶数番目のフリップフロップ群412, 414, 416, 418, 420, 422, 424, 426の出力信号が、第1乃至第8のセクタ回路群451～458の出力端子Yからそれぞれ出力される。

逆拡散符号列用シフトレジスタ460を構成する第1乃至第8の逆拡散符号用フリップフロップ461～468には、8ビットの逆拡散符号列C₇, C₆, C₅, C₄, C₃, C₂, C₁, C₀の逆拡散符号がそれぞれ書き込まれている。以降、説明の簡単のため、初期状態では、逆拡散符号C₀～C₇は、逆拡散符号C₇から逆拡散符号C₀の順番で第1乃至第8の逆拡散符号用フリップフロップ461～468にそれぞれ格納されているとする。第1乃至第8の逆拡散符号用フリップフロップ461～468のクロック入力端子Cには、8.192MHzの第1のクロックCLK1に同期した4.096MHzの第2のクロックCLK2が入力されており、第2のクロックCLK2に同期して、第1乃至第8の逆拡散符号用フリ

アップフロップ461～468に格納された各逆拡散符号が第1の逆拡散符号用フリップフロップ461から第8の逆拡散符号用フリップフロップ468へ向ってシフトされる。なお、第8の逆拡散符号用フリップフロップ468にシフトされた逆拡散符号は、次の第2のクロックCLK2に同期して、第1の逆拡散符号用
5 フリップフロップ461にシフトされる。これにより、第1乃至第8の逆拡散符号用フリップフロップ461～468からは、第2のクロックCLK2に同期して、逆拡散符号C₀から逆拡散符号C₇が順にシフトされながら出力される。

第1乃至第8の乗算器471～478は、6ビット×1ビットの乗算器であり、6ビットの出力信号を出力する。第1乃至第8の乗算器471～478では、第
10 1乃至第8のセレクト回路群451～458の出力信号（6ビット）と第1乃至第8の逆拡散符号用フリップフロップ461～468から出力される逆拡散符号（1ビット）との乗算がそれぞれ行われる。なお、乗算器471～478では、たとえば、逆拡散符号が1を示すときは、第1乃至第8のセレクト回路群451～458の出力信号と1との乗算がそれぞれ行われ、逆拡散符号が0を示すとき
15 は、第1乃至第8のセレクト回路群451～458の出力信号と-1との乗算がそれぞれ行われる。

第1乃至第4の加算器481～484は、6ビット+6ビットの加算器であり、7ビットの出力信号を出力する。第5および第6の加算器485、486は、7ビット+7ビットの加算器であり、8ビットの出力信号を出力する。第7の加算
20 器487は、8ビット+8ビットの加算器であり、9ビットの出力信号を出力する。第1の加算器481では、第1の乗算器471の出力信号（6ビット）と第2の乗算器472の出力信号（6ビット）との加算が行われる。第2の加算器482では、第3の乗算器473の出力信号（6ビット）と第4の乗算器474の出力信号（6ビット）との加算が行われる。第3の加算器483では、第5の乗
25 算器475の出力信号（6ビット）と第6の乗算器476の出力信号（6ビット）との加算が行われる。第4の加算器484では、第7の乗算器477の出力信号（6ビット）と第8の乗算器478の出力信号（6ビット）との加算が行われる。第5の加算器485では、第1の加算器481の出力信号（7ビット）と第2の加算器482の出力信号（7ビット）との加算が行われる。第6の加算器486

第3の加算器483の出力信号(7ビット)と第4の加算器484の出力信号(7ビット)との加算が行われる。第7の加算器487では、第5の加算器485の出力信号(8ビット)と第6の加算器486の出力信号(8ビット)との加算が行われる。

以上のように構成された本実施態様によるデジタルマッチトフィルタでは、初期状態から第1のクロックCLK1が入力されると、記憶部410を構成する第1乃至第16のフリップフロップ群411~426に、デジタル信号I₀の最初の第1番目乃至第16番目のサンプリングデータD₀~D₁₅がそれぞれ書き込まれ保持されるとともに、逆拡散符号列用シフトレジスタ460を構成する第1乃至第8のフリップフロップ461~468に、逆拡散符号C₇~C₀がそれぞれシフトされて保持される。その結果、第2のクロックCLK2が到来するときには、第1乃至第8のセクタ回路群451~458によってデジタル信号I₀の奇数番目のサンプリングデータD₀, D₂, D₄, D₆, D₈, D₁₀, D₁₂, D₁₄が選択されることにより、第7の加算器487において、 $D_{14} \times C_0 + D_{12} \times C_1 + D_{10} \times C_2 + D_8 \times C_3 + D_6 \times C_4 + D_4 \times C_5 + D_2 \times C_6 + D_0 \times C_7$ が得られ、デジタル信号I₀の最初の16個のサンプリングデータD₀~D₁₅の奇数番目のサンプリングデータD₀, D₂, D₄, D₆, D₈, D₁₀, D₁₂, D₁₄と8ビットの逆拡散符号列C₇, C₆, C₅, C₄, C₃, C₂, C₁, C₀との相関値MFOUTが得られ、出力端子405を介して外部に出力される。また、第2のクロックCLK2が“0”のときには、第1乃至第8のセクタ回路群451~458によってデジタル信号I₀の偶数番目のサンプリングデータD₁, D₃, D₅, D₇, D₉, D₁₁, D₁₃, D₁₅が選択されることにより、第7の加算器487において、 $D_{15} \times C_0 + D_{13} \times C_1 + D_{11} \times C_2 + D_9 \times C_3 + D_7 \times C_4 + D_5 \times C_5 + D_3 \times C_6 + D_1 \times C_7$ が得られ、デジタル信号I₀の最初の16個のサンプリングデータD₀~D₁₅の偶数番目のサンプリングデータD₁, D₃, D₅, D₇, D₉, D₁₁, D₁₃, D₁₅と8ビットの逆拡散符号列C₇, C₆, C₅, C₄, C₃, C₂, C₁, C₀との相関値MFOUTが得られ、出力端子405を介して外部に出力される。

次に、本実施態様によるデジタルマッチトフィルタと第3図に示した従来のデ

ジタルマッチトフィルタとの消費電力の比較について説明する。本実施態様によるデジタルマッチトフィルタでは、デジタル信号 I_0 の書込みに際して、記憶部410を構成する第1乃至第16のフリップフロップ群411～426は第1のクロックCLK1に同期して1つずつしか動作しない。したがって、一つのフリップフロップの消費電力を W とすると、記憶部410における消費電力は各フリップフロップ群を構成する6個のフリップフロップの消費電力の合計である $6W$ となる。書込み選択回路430を構成する第1乃至第16の書込み選択用フリップフロップ431～446は第1のクロックCLK1が入力するたびに動作するため、書込み選択回路430における消費電力は $16W$ となる。逆拡散符号列用シフトレジスタ460を構成する第1乃至第8の逆拡散符号用フリップフロップ461～468は、第1のクロックCLK1の周波数の $1/2$ の周波数を有する第2のクロックCLK2に同期して動作するため、逆拡散符号列用シフトレジスタ460における消費電力は $8W/2 = 4W$ となる。したがって、本実施態様によるデジタルマッチトフィルタの記憶部410、書込み選択回路430および逆拡散符号列用シフトレジスタ460における消費電力は $6W + 16W + 4W = 26W$ となる。これに対して、第3図に示した従来のデジタルマッチトフィルタでは、タップ付きシフトレジスタ110を構成する第1乃至第14のフリップフロップ群111～124はクロックCLKが入力するたびに動作するため、タップ付きシフトレジスタ110における消費電力は $6 \times 14W = 84W$ となる。本実施態様によるデジタルマッチトフィルタの第1乃至第8の乗算器471～478および第1乃至第7の加算器481～487における消費電力と第3図に示した従来のデジタルマッチトフィルタの第1乃至第8の乗算器131～138および第1乃至第7の加算器141～147における消費電力とは同じである。したがって、本実施態様によるデジタルマッチトフィルタの第1乃至第8のセレクト回路群451～458における消費電力は小さいため、この消費電力を無視すると、本実施態様によるデジタルマッチトフィルタの消費電力は、第3図に示した従来のデジタルマッチトフィルタの消費電力に比べて $26W/84W \approx 1/3$ となる。一般的には、FIR m 倍補間フィルタ構成の M タップデジタルマッチトフィルタでは、デジタル信号 I_0 のビット数を N とすると、本実施態様によるデジタルマ

ッチトフィルタでは、記憶部 410 は MN 個のフリップフロップで構成され、書込み選択回路 430 は M 個の書込み選択用フリップフロップで構成され、逆拡散符号列用シフトレジスタ 460 は M/m 個の逆拡散符号用フリップフロップで構成される。しかし、記憶部 410 を構成する各フリップフロップ群は第 1 のクロック $CLK1$ に同期して 1 つずつしか動作せず、また、逆拡散符号列用シフトレジスタ 460 は第 1 のクロック $CLK1$ の周波数の $1/m$ の周波数を有する第 2 のクロック $CLK2$ に同期して動作するため、本実施態様によるデジタルマッチトフィルタの記憶部 410、書込み選択回路 430 および逆拡散符号列用シフトレジスタ 460 における消費電力は、 $NW + MW + (M/m^2)W = (N + M + M/m^2)W$ となる。これに対して、第 3 図に示した従来のデジタルマッチトフィルタでは、タップ付きシフトレジスタ 110 は $(M-1)N$ 個のフリップフロップで構成されるため、タップ付きシフトレジスタ 110 における消費電力は $(M-1)NW$ となる。したがって、本実施態様によるデジタルマッチトフィルタの消費電力は、第 3 図に示した従来のデジタルマッチトフィルタの消費電力に比べて、 $(N + M + M/m^2)W / (M-1)NW = (N + M + M/m^2) / (M-1)N$ となる。なお、一般的には $M \gg 1$ であるので、本実施態様によるデジタルマッチトフィルタの消費電力は、第 3 図に示した従来のデジタルマッチトフィルタの消費電力に比べて、 $1/M + 1/N + 1/m^2 N$ となる。

なお、本実施態様によるデジタルマッチトフィルタにおいても、書込み選択回路 430 の代わりに、第 6 図に示した書込み選択回路 300 のように第 1 乃至第 16 の書込み選択用フリップフロップおよびセクタ回路からなる巡回型タップ付きシフトレジスタを用いて構成された書込み選択回路を用いてもよい。

上記説明では、逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ を構成する各逆拡散符号は 1 ビットとした。しかし、逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ を構成する各逆拡散符号のビット数が 2 以上である場合もある（ただし、各逆拡散符号のビット数はデジタル信号 1 のビット数よりも小さい）。たとえば、各逆拡散符号が、1, 0, -1 を示す 2 ビットの場合である。各逆拡散符号のビット数が 2 以上である場合には、第 8 図に示した逆拡散符号列用シフトレジスタ 460 の代わりに、互いに並列接続された 2 個以上のフリップフロップから

なるフリップフロップ群を8個用いて巡回型タップ付きシフトレジスタを構成された逆拡散符号列用シフトレジスタを使用すればよい。

第1乃至第8の乗算器471～478は、論理回路で構成された乗算器である必要はなく、同じ乗算結果を出力する手段（たとえば、逆拡散符号が1の場合には入力信号をそのまま出力し、逆拡散符号が0（係数-1の乗算）の場合には入力信号の符号ビットを反転して出力する回路）であってもよい。

（第4の実施態様）

本発明の第4の実施態様によるデジタルマッチトフィルタは、8.192MHzでオーバーサンプリングされたデジタル信号I。が8.192MHzのクロックに同期してシリアルに入力される場合のデジタルマッチトフィルタであって、第9図に示すように、信号入力端子501と、クロック入力端子502と、シリアル/パラレル変換器590と、インバータ595と、第1乃至第8のフリップフロップ群511～518からなる第1の記憶部510と、第1乃至第8の書込み選択用フリップフロップ521～528からなる巡回型タップ付きシフトレジスタを用いて構成された第1の書込み選択回路520と、第9乃至第16のフリップフロップ群531～538からなる第2の記憶部530と、第9乃至第16の書込み選択用フリップフロップ541～548からなる巡回型タップ付きシフトレジスタを用いて構成された第2の書込み選択回路540と、第1乃至第8のセクタ回路群551～558と、第1乃至第8の逆拡散符号用フリップフロップ561～568からなる巡回型タップ付きシフトレジスタを用いて構成された逆拡散符号列用シフトレジスタ560と、第1乃至第8の乗算器571～578と、第1乃至第7の加算器581～587と、出力端子505とを含む。ここで、第1の記憶部510を構成する第1乃至第8のフリップフロップ群511～518および第2の記憶部530を構成する第9乃至第16のフリップフロップ群531～538はそれぞれ、互いに並列接続された6個のフリップフロップから構成されている。また、第1乃至第8のセクタ回路群551～558はそれぞれ、互いに並列接続された6個のセクタ回路から構成されている。

信号入力端子501には、アナログ信号（スペクトラム拡散信号）が8.192MHzのサンプリング周波数でオーバーサンプリングされて生成された8.1

9 2 MHzの周期のデジタル信号 I_0 が入力される。なお、デジタル信号 I_0 は、6 ビットの2の補数表現のデジタル信号である。デジタル信号 I_0 は、シリアル／パラレル変換器 5 9 0 でシリアル／パラレル変換されて、奇数番目のサンプリングデータからなる第1のデジタル信号 I_{01} と偶数番目のサンプリングデータからなる第2のデジタル信号 I_{02} とに分離される。第1のデジタル信号 I_{01} はシリアル／パラレル変換器 5 9 0 の第1の出力端子Aから第1の記憶部 5 1 0 に出力され、第2のデジタル信号 I_{02} はシリアル／パラレル変換器 5 9 0 の第2の出力端子Bから第2の記憶部 5 3 0 に出力される。

第1の記憶部 5 1 0 を構成する第1乃至第8のフリップフロップ群 5 1 1 ~ 5 1 8 のデータ入力端子Dはシリアル／パラレル変換器 5 0 2 の第1の出力端子Aに接続されている。また、第1乃至第8のフリップフロップ群 5 1 1 ~ 5 1 8 のクロック入力端子Cには、第1の書込み選択回路 5 2 0 を構成する第1乃至第8の書込み選択用フリップフロップ 5 2 1 ~ 5 2 8 の出力信号がそれぞれ入力されている。第1乃至第8の書込み選択用フリップフロップ 5 2 1 ~ 5 2 8 は、初期状態では、任意の一つの書込み選択用フリップフロップに“1”が書き込まれて保持されており、他の書込み選択用フリップフロップには“0”が書き込まれて保持されている。以降、説明の簡単のため、初期状態では、第8の書込み選択用フリップフロップ 5 2 8 にのみ“1”が書き込まれて保持されているとする。第1乃至第8の書込み選択用フリップフロップ 5 2 1 ~ 5 2 8 のクロック入力端子Cには、クロック CLK が入力されている。第8の書込み選択用フリップフロップ 5 2 8 のクロック入力端子Cにクロック CLK が入力すると、第8の書込み選択用フリップフロップ 5 2 8 に保持されていた“1”が第1の書込み選択用フリップフロップ 5 2 1 にシフトされる。第1の書込み選択用フリップフロップ 5 2 1 にシフトされた“1”は、以降、クロック CLK に同期して、第2の書込み選択用フリップフロップ 5 2 1 から第8の書込み選択用フリップフロップ 5 2 8 に向ってシフトされる。これにより、第1の記憶部 5 1 0 を構成する第1乃至第8のフリップフロップ群 5 1 1 ~ 5 1 8 のクロック入力端子Cに“1”がクロック CLK に同期して順に入力されるため、第1のデジタル信号 I_{01} がクロック CLK に同期して第1乃至第8のフリップフロップ群 5 1 1 ~ 5 1 8 に順に取り込ま

れて保持される。

- 第2の記憶部530を構成する第9乃至第16のフリップフロップ群531～538のデータ入力端子Dはシリアル／パラレル変換器590の第2の出力端子Bに接続されている。また、第9乃至第16のフリップフロップ群531～538のクロック入力端子Cには、第2の書込み選択回路540を構成する第1乃至第8の書込み選択用フリップフロップ541～548の出力信号がそれぞれ入力されている。第9乃至第16の書込み選択用フリップフロップ541～548は、初期状態では、任意の一つの書込み選択用フリップフロップに“1”が書き込まれて保持されており、他の書込み選択用フリップフロップには“0”が書き込まれて保持されている。以降、説明の簡単のため、初期状態では、第16の書込み選択用フリップフロップ548にのみ“1”が書き込まれて保持されているとする。第9乃至第16の書込み選択用フリップフロップ541～548のクロック入力端子Cには、インバータ595により極性が反転されたクロックCLK（以下、「反転クロックCLKB」と称する。）が入力されている。第16の書込み選択用フリップフロップ548のクロック入力端子Cに反転クロックCLKBが入力すると、第16の書込み選択用フリップフロップ548に保持されていた“1”が第9の書込み選択用フリップフロップ541にシフトされる。第9の書込み選択用フリップフロップ541にシフトされた“1”は、以降、反転クロックCLKBに同期して、第9の書込み選択用フリップフロップ541から第16の書込み選択用フリップフロップ548に向ってシフトされる。これにより、第2の記憶部530を構成する第8乃至第16のフリップフロップ群531～538のクロック入力端子Cに“1”が反転クロックCLKBに同期して順に入力されるため、第2のデジタル信号I₀₂が反転クロックCLKBに同期して第9乃至第16のフリップフロップ群531～538に順に取り込まれて保持される。
- 第1乃至第8のセクタ回路群551～558を構成する各セクタ回路の選択端子Sには、クロックCLKが入力されており、クロックCLKが“1”のとき第1の入力端子Aが選択され、クロックCLKが“0”のとき第2の入力端子Bが選択される。したがって、クロックCLKが“1”のときには、第1乃至第8のセクタ回路群551～558の第1の入力端子Aにそれぞれ接続された第

1の記憶部510を構成する第1乃至第8のフリップフロップ群511～518の出力信号が選択されて、第1乃至第8のセクタ回路群551～558の出力端子Yからそれぞれ出力される。一方、クロックCLKが“0”のときには、第1乃至第8のセクタ回路群551～558の第2の入力端子Bにそれぞれ接続された第2の記憶部530を構成する第9乃至第16のフリップフロップ群531～538の出力信号が選択されて、第1乃至第8のセクタ回路群551～558の出力端子Yからそれぞれ出力される。

逆拡散符号列用シフトレジスタ560を構成する第1乃至第8の逆拡散符号用フリップフロップ561～568には、8ビットの逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ の逆拡散符号がそれぞれ格納されている。以降、説明の簡単のため、初期状態では、逆拡散符号 $C_7 \sim C_0$ が第1乃至第8の逆拡散符号用フリップフロップ561～568にそれぞれ格納されているとする。第1乃至第8の逆拡散符号用フリップフロップ561～568のクロック入力端子Cには、クロックCLKが入力されており、クロックCLKに同期して、第1乃至第8の逆拡散符号用フリップフロップ561～568に格納された各逆拡散符号が第1の逆拡散符号用フリップフロップ561から第8の逆拡散符号用フリップフロップ568へ向ってシフトされる。なお、第8の逆拡散符号用フリップフロップ568にシフトされた逆拡散符号は、次のクロックCLKに同期して、第1の逆拡散符号用フリップフロップ561にシフトされる。これにより、第1乃至第8の逆拡散符号用フリップフロップ561～568からは、クロックCLKに同期して、逆拡散符号 C_0 から逆拡散符号 C_7 が順にシフトされながら出力される。

第1乃至第8の乗算器571～578は、6ビット×1ビットの乗算器であり、6ビットの出力信号を出力する。第1乃至第8の乗算器571～578では、第1乃至第8のセクタ回路群551～558から出力される第1のデジタル信号 I_{01} （6ビット）と第1乃至第8の逆拡散符号用フリップフロップ561～568から出力される逆拡散符号（1ビット）との乗算が、クロックCLKが“1”の期間にそれぞれ行われるとともに、第1乃至第8のセクタ回路群551～558から出力される第2のデジタル信号 I_{02} （6ビット）と第1乃至第8の逆拡散符号用フリップフロップ561～568から出力される逆拡散符号（1ビット）

との乗算が、クロックCLKが“0”の期間にそれぞれ行われる。なお、乗算器571～578では、たとえば、逆拡散符号が1を示すときは、第1乃至第8のセクタ回路群551～558の出力信号と1との乗算がそれぞれ行われ、逆拡散符号が0を示すときは、第1乃至第8のセクタ回路群551～558の出力信号と-1との乗算がそれぞれ行われる。

第1乃至第4の加算器581～584は、6ビット+6ビットの加算器であり、7ビットの出力信号を出力する。第5および第6の加算器585、586は、7ビット+7ビットの加算器であり、8ビットの出力信号を出力する。第7の加算器587は、8ビット+8ビットの加算器であり、9ビットの出力信号を出力する。第1の加算器581では、第1の乗算器571の出力信号（6ビット）と第2の乗算器572の出力信号（6ビット）との加算が行われる。第2の加算器582では、第3の乗算器573の出力信号（6ビット）と第4の乗算器574の出力信号（6ビット）との加算が行われる。第3の加算器583では、第5の乗算器575の出力信号（6ビット）と第6の乗算器576の出力信号（6ビット）との加算が行われる。第4の加算器584では、第7の乗算器577の出力信号（6ビット）と第8の乗算器578の出力信号（6ビット）との加算が行われる。第5の加算器585では、第1の加算器581の出力信号（7ビット）と第2の加算器582の出力信号（7ビット）との加算が行われる。第6の加算器586では、第3の加算器583の出力信号（7ビット）と第4の加算器584の出力信号（7ビット）との加算が行われる。第7の加算器587では、第5の加算器585の出力信号（8ビット）と第6の加算器586の出力信号（8ビット）との加算が行われる。

以上のように構成された本実施態様によるデジタルマッチトフィルタでは、初期状態から16個のクロックCLKが入力されると、第1の記憶部510を構成する第1乃至第8のフリップフロップ群511～518に、第1のデジタル信号 I_{o1} の最初の第1番目乃至第8番目のサンプリングデータ $D_0 \sim D_7$ がそれぞれ書き込まれて保持され、第2の記憶部530を構成する第9乃至第16のフリップフロップ群531～536に、第2のデジタル信号 I_{o2} の最初の第1番目乃至第8番目のサンプリングデータ $d_0 \sim d_7$ がそれぞれ書き込まれて保持され、逆

- 拡散符号列用シフトレジスタ 5 6 0 を構成する第 1 乃至第 8 の逆拡散符号用フリップフロップ 5 6 1 ~ 5 6 8 に、逆拡散符号 $C_7 \sim C_0$ がそれぞれシフトされて保持される。その結果、クロック CLK が “1” のときには、第 1 乃至第 8 のセレクト回路群 5 5 1 ~ 5 5 8 によって第 1 のデジタル信号 I_{o1} のサンプリングデータ $D_0 \sim D_7$ が選択されることにより、第 7 の加算器 5 8 7 において、 $D_7 \times C_0 + D_6 \times C_1 + D_5 \times C_2 + D_4 \times C_3 + D_3 \times C_4 + D_2 \times C_5 + D_1 \times C_6 + D_0 \times C_7$ が得られ、第 1 のデジタル信号 I_{o1} の最初の 8 個のサンプリングデータ $D_0 \sim D_7$ と 8 ビットの逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ との相関値 M F O U T が得られ、出力端子 5 0 5 を介して外部に出力される。
- 10 また、クロック CLK が “0” のときには、第 1 乃至第 8 のセレクト回路群 5 5 1 ~ 5 5 8 によって第 2 のデジタル信号 I_{o2} のサンプリングデータ $d_0 \sim d_7$ が選択されることにより、第 7 の加算器 5 8 7 において、 $d_7 \times C_0 + d_6 \times C_1 + d_5 \times C_2 + d_4 \times C_3 + d_3 \times C_4 + d_2 \times C_5 + d_1 \times C_6 + d_0 \times C_7$ が得られ、第 2 のデジタル信号 I_{o2} の最初の 8 個のサンプリングデータ $d_0 \sim$
- 15 d_7 と 8 ビットの逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ との相関値 M F O U T が得られ、出力端子 5 0 5 を介して外部に出力される。その結果、第 8 図に示した第 3 の実施態様によるデジタルマッチトフィルタと同様な F I R 2 倍補間デジタルフィルタを用いて構成された 8 倍拡散 1 6 タップのデジタルマッチトフィルタを実現することができる。
- 20 なお、本実施態様によるデジタルマッチトフィルタにおいても、第 1 および第 2 の書込み選択回路 5 2 0, 5 4 0 の代わりに、第 6 図に示した書込み選択回路 3 0 0 のように第 1 乃至第 8 の書込み選択用フリップフロップおよびセレクト回路からなる巡回型タップ付きシフトレジスタを用いて構成された書込み選択回路を用いてもよい。
- 25 上記説明では、逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ を構成する各逆拡散符号は 1 ビットとした。しかし、逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ を構成する各逆拡散符号のビット数が 2 以上である場合もある（ただし、各逆拡散符号のビット数はデジタル信号 I_o のビット数よりも小さい）。たとえば、各逆拡散符号が、1, 0, -1 を示す 2 ビットの場合である。各逆拡散符号

のビット数が2以上である場合には、第9図に示した逆拡散符号列用シフトレジスタ560の代わりに、互いに並列接続された2個以上のフリップフロップからなるフリップフロップ群を8個用いて巡回型タップ付きシフトレジスタを構成された逆拡散符号列用シフトレジスタを使用すればよい。

- 5 第1乃至第8の乗算器571～578は、論理回路で構成された乗算器である必要はなく、同じ乗算結果を出力する手段（たとえば、逆拡散符号が1の場合には入力信号をそのまま出力し、逆拡散符号が0（係数-1の乗算）の場合には入力信号の符号ビットを反転して出力する回路）であってもよい。

（第5の実施態様）

- 10 本発明の第5の実施態様によるデジタルマッチトフィルタは、記憶素子を用いて構成された8倍拡散8タップのデジタルマッチトフィルタであって、第10図に示すように、信号入力端子601と、クロック入力端子602と、アドレスカウンタ650と、第1乃至第8のメモリ611～618からなる記憶部610と、第1乃至第8の逆拡散符号用フリップフロップ621～628からなる巡回型タ
15 ップ付きシフトレジスタを用いて構成された逆拡散符号列用シフトレジスタ620と、第1乃至第8の乗算器631～638と、第1乃至第7の加算器641～647と、出力端子605とを含む。ここで、記憶部610を構成する第1乃至第8のメモリ611～618のアドレスはそれぞれ、第0番地から第7番地とされている。
- 20 信号入力端子601には、アナログ信号（スペクトラム拡散信号）が4.096MHzのサンプリング周波数でサンプリングされて生成されたデジタル信号I₀が入力される。なお、デジタル信号I₀は、クロック入力端子602から入力される4.096MHzのクロックCLKに同期した6ビットの2の補数表現のデジタル信号である。記憶部610を構成する第1乃至第8のメモリ611～6
25 18のデータ入力端子には、デジタル信号I₀が入力されている。また、第1乃至第8のメモリ611～618のアドレス入力端子には、アドレスカウンタ650の出力信号が入力されている。

アドレスカウンタ650は、クロック入力端子Cから入力されるクロックCLKをカウントする3ビットカウンタである。なお、説明の簡単のため、初期状態

では、アドレスカウンタ 6 5 0 の出力信号は、第 7 番地を示す “1 1 1” とされているとする。最初のクロック CLK がアドレスカウンタ 6 5 0 のクロック入力端子 C に入力されると、アドレスカウンタ 6 5 0 の出力信号は第 0 番地を示す

“0 0 0” となる結果、記憶部 6 1 0 の第 1 のメモリ 6 1 1 が書込み可能状態と

- 5 なる。2 個目のクロック CLK がアドレスカウンタ 6 5 0 のクロック入力端子 C に入力されると、アドレスカウンタ 6 5 0 の出力信号は第 1 番地を示す “0 0 1” となる結果、第 2 のメモリ 6 1 2 が書込み可能状態となる。以下、同様に、クロック CLK に同期して、第 3 乃至第 8 のメモリ 6 1 3 ～ 6 1 8 が順に書込み可能状態となる。その後、9 個目のクロック CLK がアドレスカウンタ 6 5 0 の
- 10 クロック入力端子 C に入力されると、アドレスカウンタ 6 5 0 の出力信号は第 0 番地を示す “0 0 0” となる結果、記憶部 6 1 0 の第 1 のメモリ 6 1 1 が書込み可能状態となる。したがって、デジタル信号 I₀ は、クロック CLK に同期して記憶部 6 1 0 を構成する第 1 乃至第 8 のメモリ 6 1 1 ～ 6 1 8 に順に取り込まれて保持される。

- 15 逆拡散符号列用シフトレジスタ 6 2 0 を構成する第 1 乃至第 8 の逆拡散符号用フリップフロップ 6 2 1 ～ 6 2 8 には、8 ビットの逆拡散符号列 C₇, C₆, C₅, C₄, C₃, C₂, C₁, C₀ の逆拡散符号がそれぞれ書き込まれている。以降、説明の簡単のため、初期状態では、逆拡散符号 C₇ ～ C₀ が第 1 乃至第 8 の逆拡散符号用フリップフロップ 5 6 1 ～ 5 6 8 にそれぞれ格納されているとする。第 1 乃至第 8 の逆拡散符号用フリップフロップ 6 2 1 ～ 6 2 8 のクロック入力端子 C には、クロック CLK が入力されており、クロック CLK に同期して、第 1 至第 8 の逆拡散符号用フリップフロップ 6 2 1 ～ 6 2 8 に書き込まれた各逆拡散符号が第 1 の逆拡散符号用フリップフロップ 6 2 1 から第 8 の逆拡散符号用フリップフロップ 6 2 8 へ向ってシフトされる。なお、第 8 の逆拡散符号用フリップフロップ 6 2 8 にシフトされた逆拡散符号は、次のクロック CLK に同期して、第 1 の逆拡散符号用フリップフロップ 6 2 1 にシフトされる。これにより、第 1 乃至第 8 の逆拡散符号用フリップフロップ 6 2 1 ～ 6 2 8 からは、クロック CLK に同期して、逆拡散符号 C₀ から逆拡散符号 C₇ が順にシフトされながら出力される。
- 25

第 1 乃至第 8 の乗算器 6 3 1 ～ 6 3 8 は、6 ビット × 1 ビットの乗算器であり、

6ビットの出力信号を出力する。第1乃至第8の乗算器631～638では、第1乃至第8のメモリ611～618から出力されるデジタル信号I。(6ビット)と第1乃至第8の逆拡散符号用フリップフロップ621～628から出力される逆拡散符号(1ビット)との乗算がそれぞれ行われる。なお、乗算器631～638では、逆拡散符号が“0”を示すときは、第1乃至第8のメモリ611～618の出力信号と-1との乗算がそれぞれ行われる。各乗算器631～638における乗算の手順について、以下に述べる。

第1の動作状態で、信号入力端子601に、デジタル信号I。の1番目のサンプリングデータD₀がクロックCLKに同期して入力されるとともに、クロックCLKがアドレスカウンタ650のクロック入力端子Cに入力されて、初期状態において第7番地を示す“111”とされたアドレスカウンタ650の出力信号が、第0番地を示す“000”となる。その結果、1番目のサンプリングデータD₀が第1のメモリ611に書き込まれて保持される。また、初期状態において逆拡散符号列用シフトレジスタ620の第8の逆拡散符号用フリップフロップ628に格納されている逆拡散符号C₀がクロックCLKに同期して第1の逆拡散符号用フリップフロップ621にシフトされる結果、1番目のサンプリングデータD₀と逆拡散符号C₀との乗算が第1の乗算器631で行われる。したがって、D₀×C₀の値を示す出力信号が、第1の乗算器631から出力される。

第2の動作状態で、信号入力端子201にデジタル信号I。の2番目のサンプリングデータD₁がクロックCLKに同期して入力されるとともに、クロックCLKがアドレスカウンタ650のクロック入力端子Cに入力されて、アドレスカウンタ650の出力信号が、第1番地を示す“001”となる。その結果、2目のサンプリングデータD₁が第2のメモリ612に書き込まれて保持される。このとき、記憶部610の第1のメモリ611には、第1の動作状態で書き込まれた1番目のサンプリングデータD₀がそのまま保持されている。また、逆拡散符号列用シフトレジスタ620に格納されている各逆拡散符号がクロックCLKに同期してシフトされる結果、第1の動作状態において第1の逆拡散符号用フリップフロップ621にシフトされた逆拡散符号C₀が第2の逆拡散符号用フリップフロップ622にシフトされるとともに、第8の逆拡散符号用フリップフロップ6

28に格納された逆拡散符号 C_1 が第1の逆拡散符号用フリップフロップ621にシフトされる。その結果、2番目のサンプリングデータ D_1 と逆拡散符号 C_1 との乗算が第2の乗算器632で行われるとともに、1番目のサンプリングデータ D_0 と逆拡散符号 C_1 との乗算が第1の乗算器631で行われる。したがって、

5 $D_1 \times C_0$ の値を示す出力信号が第2の乗算器632から出力されるとともに、 $D_0 \times C_1$ の値を示す出力信号が第1の乗算器631から出力される。以降、第7の動作状態まで同様の動作が繰り返される。

第8の動作状態では、信号入力端子601にデジタル信号 I_0 の8番目のサンプリングデータ D_7 がクロックCLKに同期して入力されるとともに、クロック

10 CLKがアドレスカウンタ650のクロック入力端子Cに入力されて、アドレスカウンタ650の出力信号が、第7番地を示す“111”となる。その結果、8番目のサンプリングデータ D_7 が第8のメモリ618に書き込まれて保持される。このとき、記憶部610の第1乃至第7のメモリ611～617には、第7の動作状態までに書き込まれた1番目乃至7番目のサンプリングデータ $D_0 \sim D_6$ が

15 それぞれ保持されている。また、逆拡散符号列用シフトレジスタ620に格納されている各逆拡散符号がクロックCLKに同期してシフトされる結果、第1乃至第8の逆拡散符号用フリップフロップ621～628には逆拡散符号 $C_1 \sim C_8$ がそれぞれ格納される。これにより、記憶部610の第1乃至第8のメモリ611～618にそれぞれ保持されたデジタル信号 I_0 の1番目から8番目のサン

20 リングデータ $D_0 \sim D_7$ と逆拡散符号列用シフトレジスタ620の第1乃至第8のフリップフロップ621～628にそれぞれ格納された逆拡散符号 $C_1 \sim C_8$ との乗算が、第1乃至第8の乗算器631～638でそれぞれ行われる。その結果、 $D_7 \times C_0$ の値を示す出力信号が第8の乗算器638から出力され、 $D_0 \times C_1$ の値を示す出力信号が第7の乗算器637から出力され、 $D_6 \times C_2$ の値を示す出力信号が第6の乗算器636から出力され、 $D_4 \times C_3$ の値を示す出力信号が第5の乗算器635から出力され、 $D_3 \times C_4$ の値を示す出力信号が第4の乗算器634から出力され、 $D_2 \times C_5$ の値を示す出力信号が第3の乗算器633から出力され、 $D_1 \times C_6$ の値を示す出力信号が第2の乗算器632から出力され、 $D_0 \times C_7$ の値を示す出力信号が第1の乗算器631から出力される。

以上の動作によりデジタル信号 I_0 の最初の 8 個のサンプリングデータ D_0 、

D_1 、 D_2 、 D_3 、 D_4 、 D_5 、 D_6 、 D_7 と 8 ビットの逆拡散符号列 C_0 、 C_1 、 C_2 、 C_3 、 C_4 、 C_5 、 C_6 、 C_7 との相関値を求めるのに必要な乗算がすべて行われる。

第 9 の動作状態では、信号入力端子 601 にデジタル信号 I_0 の 9 番目のサン

プリングデータ D_8 がクロック CLK に同期して入力されるとともに、クロック

CLK がアドレスカウンタ 604 のクロック入力端子 C に入力されて、アドレス

カウンタ 604 の出力信号が、第 0 番地を示す “000” となる。その結果、9

番目のサンプリングデータ D_8 が第 1 のメモリ 611 に書き込まれて保持される。

このとき、記憶部 610 の第 2 乃至第 8 のメモリ 612 ~ 618 には、第 8 の動

作状態まで書き込まれた 7 番目乃至 8 番目のサンプリングデータ D_1 ~ D_7 がそ

れぞれ保持されている。また、逆拡散符号列用シフトレジスタ 620 に格納され

ている各逆拡散符号がクロック CLK に同期してシフトされる結果、第 1 の逆拡

散符号用フリップフロップ 621 には逆拡散符号 C_0 がシフトされ、第 2 乃至第

8 の逆拡散符号用フリップフロップ 622 ~ 628 には逆拡散符号 C_1 ~ C_7 が

それぞれシフトされる。これにより、記憶部 610 の第 1 のメモリ 611 に保持

されたデジタル信号 I_0 の 9 番目のサンプリングデータ D_8 と逆拡散符号列用シ

フトレジスタ 620 の第 1 の逆拡散符号用フリップフロップ 621 にシフトされ

た逆拡散符号 C_0 との乗算が第 1 の乗算器 631 で行われるとともに、第 2 乃至

第 8 のメモリ 612 ~ 618 にそれぞれ保持されたデジタル信号 I_0 の 2 番目か

ら 8 番目のサンプリングデータ D_1 ~ D_7 と逆拡散符号列用シフトレジスタ 62

0 の第 2 乃至第 8 の逆拡散符号用フリップフロップ 622 ~ 628 にそれぞれシ

フトされた逆拡散符号 C_1 ~ C_7 との乗算が第 2 乃至第 8 の乗算器 632 ~ 63

8 でそれぞれ行われる。その結果、 $D_8 \times C_0$ の値を示す出力信号が第 1 の乗算

器 631 から出力され、 $D_7 \times C_1$ の値を示す出力信号が第 8 の乗算器 638 か

ら出力され、 $D_6 \times C_2$ の値を示す出力信号が第 7 の乗算器 637 から出力され、

$D_5 \times C_3$ の値を示す出力信号が第 6 の乗算器 636 から出力され、 $D_4 \times C_4$ の

値を示す出力信号が第 5 の乗算器 635 から出力され、 $D_3 \times C_5$ の値を示す

出力信号が第 4 の乗算器 634 から出力され、 $D_2 \times C_6$ の値を示す出力信号が

第 3 の乗算器 633 から出力され、 $D_1 \times C_7$ の値を示す出力信号が第 2 の乗算

器 6 3 2 から出力される。

その結果、デジタル信号 I_0 の最初の 8 個のサンプリングデータ $D_7, D_6, D_5, D_4, D_3, D_2, D_1, D_0$ から 1 サンプル後の 8 個のサンプリングデータ $D_7, D_6, D_5, D_4, D_3, D_2, D_1$ と 8 ビットの逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ との相関値を求めるのに必要な乗算がすべて行われる。以降、同様の動作が繰り返される。

第 1 乃至第 4 の加算器 6 4 1 ~ 6 4 4 は、6 ビット + 6 ビットの加算器であり、7 ビットの出力信号を出力する。第 5 および第 6 の加算器 6 4 5, 6 4 6 は、7 ビット + 7 ビットの加算器であり、8 ビットの出力信号を出力する。第 7 の加算器 6 4 7 は、8 ビット + 8 ビットの加算器であり、9 ビットの出力信号を出力する。第 1 の加算器 6 4 1 では、第 1 の乗算器 6 3 1 の出力信号 (6 ビット) と第 2 の乗算器 6 3 2 の出力信号 (6 ビット) との加算が行われる。第 2 の加算器 6 4 2 では、第 3 の乗算器 6 3 3 の出力信号 (6 ビット) と第 4 の乗算器 6 3 4 の出力信号 (6 ビット) との加算が行われる。第 3 の加算器 6 4 3 では、第 5 の乗算器 6 3 5 の出力信号 (6 ビット) と第 6 の乗算器 6 3 6 の出力信号 (6 ビット) との加算が行われる。第 4 の加算器 6 4 4 では、第 7 の乗算器 6 3 7 の出力信号 (6 ビット) と第 8 の乗算器 6 3 8 の出力信号 (6 ビット) との加算が行われる。第 5 の加算器 6 4 5 では、第 1 の加算器 6 4 1 の出力信号 (7 ビット) と第 2 の加算器 6 4 2 の出力信号 (7 ビット) との加算が行われる。第 6 の加算器 6 4 6 では、第 3 の加算器 6 4 3 の出力信号 (7 ビット) と第 4 の加算器 6 4 4 の出力信号 (7 ビット) との加算が行われる。第 7 の加算器 6 4 7 では、第 5 の加算器 6 4 5 の出力信号 (8 ビット) と第 6 の加算器 6 4 6 の出力信号 (8 ビット) との加算が行われる。この結果、デジタル信号 I_0 と逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ との相関値 $MFOUT$ が得られ、出力端子 6 0 5 を介して外部に出力される。

上記説明では、逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ を構成する各逆拡散符号は 1 ビットとした。しかし、逆拡散符号列 $C_7, C_6, C_5, C_4, C_3, C_2, C_1, C_0$ を構成する各逆拡散符号のビット数が 2 以上である場合もある (ただし、各逆拡散符号のビット数はデジタル信号 I_0 のビット数よりも小さい)。たとえ

- ば、各逆拡散符号が、1, 0, -1を示す2ビットの場合である。各逆拡散符号のビット数が2以上である場合には、第10図に示した逆拡散符号列用シフトレジスタ620の代わりに、互いに並列接続された2個以上のフリップフロップからなるフリップフロップ群を8個用いて巡回型タップ付きシフトレジスタを構成
- 5 された逆拡散符号列用シフトレジスタを使用すればよい。

第1乃至第8の乗算器631~638は、論理回路で構成された乗算器である必要はなく、同じ乗算結果を出力する手段（たとえば、逆拡散符号が1の場合には入力信号をそのまま出力し、逆拡散符号が0（係数-1の乗算）の場合には入力信号の符号ビットを反転して出力する回路）であってもよい。

- 10 第8図に示したようなFIR2倍補間デジタルフィルタを用いて8倍拡散16タップのデジタルマッチトフィルタを構成する場合には、16個のメモリからなる記憶部を記憶部410の代わりに用いるとともに、16個のメモリを順にアドレス指定するカウンタを書込み選択回路430の代わりに用いればよい。

- 第9図に示したようなオーバーサンプリングされたデジタル信号と逆拡散符号
- 15 列との相関値を求めるデジタルマッチトフィルタを構成する場合には、8個のメモリからそれぞれなる2つの記憶部を第1および第2の記憶部510, 530の代わりに用いるとともに、2つの記憶部の8個のメモリをそれぞれ順にアドレス指定する2つのカウンタを第1および第2の書込み選択回路520, 530の代わりに用いればよい。

20 産業上の利用可能性

- 以上説明したように、本発明のデジタルマッチトフィルタでは、従来のマッチトフィルタよりも消費電力の大幅な低減が図れるとともに、デジタル回路だけで構成することができる。したがって、本発明のデジタルマッチトフィルタを利用することにより、デジタル信号処理用の周辺回路とともにLSIにすることが容
- 25 易となり、たとえばスペクトラム拡散通信用の受信器の小型化が図れる。

請 求 の 範 囲

1. クロックに同期したNビットのデジタル信号とM個のデジタル符号からなるデジタル符号列との相関値を求めるためのデジタルマッチトフィルタであって、
- 5 a) 前記Nビットのデジタル信号が入力される第1乃至第Mのデジタル信号記憶手段と、
- b) 前記クロックに同期して前記第1乃至第Mのデジタル信号記憶手段を順に1個ずつ選択して、該選択したデジタル信号記憶手段に前記Nビットのデジタル信号を記憶させるデジタル書込み選択手段と、
- 10 c) 縦続接続された第1段乃至第M段の符号用フリップフロップを有し、かつ、前記クロックに同期して動作するデジタル符号列用巡回型シフトレジスタであって、
- ・ 前記M個のデジタル符号が前記第1段乃至第M段の符号用フリップフロップにそれぞれ格納され、
- 15 ・ 前記第M段の符号用フリップフロップの出力端子が前記第1段の符号用フリップフロップの入力端子に接続されている、
- デジタル符号列用巡回型シフトレジスタと、
- d) 前記第1乃至第Mのデジタル信号記憶手段の出力信号と前記第1段乃至第M段の符号用フリップフロップの出力信号とをそれぞれ乗算する第1乃至第Mの
- 20 デジタル乗算手段と、
- e) 該第1乃至第Mのデジタル乗算手段の出力信号を加算するデジタル加算手段と、
- を含むデジタルマッチトフィルタ。
2. 請求項1記載のデジタルマッチトフィルタであって、
- 25 前記第1乃至第Mのデジタル信号記憶手段がそれぞれ、前記クロックに同期して動作する並列接続されたN個のフリップフロップを含み、
- 前記デジタル書込み選択手段が、
- 縦続接続された第1段乃至第M段の書込み選択用フリップフロップを有し、かつ、前記クロックに同期して動作する書込み選択用巡回型シフトレジスタであって、

て、前記第M段の書込み選択用フリップフロップの出力信号が前記第1段の書込み選択用フリップフロップに入力される、書込み選択用巡回型シフトレジスタを含み、

- 動作開始時に、前記デジタル信号記憶手段を選択する信号が前記第1段乃至第5 M段の書込み選択用フリップフロップの任意の1個に格納されている、デジタルマッチトフィルタ。

3. 請求項1記載のデジタルマッチトフィルタであって、

前記第1乃至第Mのデジタル信号記憶手段がそれぞれ、前記クロックに同期して動作する並列接続されたN個のフリップフロップを含み、

- 10 前記デジタル書込み選択手段が、

動作開始前はリセットされ、動作開始後は前記クロックに同期して動作する縦続接続された第1段乃至第M段の書込み選択用フリップフロップと、

動作開始後に、前記デジタル信号記憶手段を選択する信号を前記第1段の書込み選択用フリップフロップに前記クロックの一周期よりも短い期間だけ出力し、

- 15 該期間の経過後には、前記第M段の書込み選択用フリップフロップの出力信号を前記第1段の書込み選択用フリップフロップに出力するデジタル選択回路とを含む、

デジタルマッチトフィルタ。

4. 請求項1記載のデジタルマッチトフィルタであって、

- 20 前記第1乃至第Mのデジタル信号記憶手段が、Nビットの第1乃至第Mのメモリを含み、

前記デジタル書込み選択手段が、前記クロックをカウントして前記第1乃至第Mのメモリのアドレスを前記クロックに同期して順に出力するアドレスカウンタを含む、

- 25 デジタルマッチトフィルタ。

5. 第2のクロックのm倍の周波数を有する第1のクロックでオーバーサンプリングされたNビットのデジタル信号とM個のデジタル符号からなるデジタル符号列との相関値を求めるためのデジタルマッチトフィルタであって、

a) 前記Nビットのデジタル信号が入力される $m \times M$ 個のデジタル信号記憶手段

と、

- b) 前記第1のクロックに同期して前記 $m \times M$ 個のデジタル信号記憶手段を順に1個ずつ選択し、該選択したデジタル信号記憶手段に前記Nビットのデジタル信号を記憶させるデジタル書込み選択手段と、
- 5 c) 前記 $m \times M$ 個のデジタル信号記憶手段を m 個ごとに分割して前記 $m \times M$ 個のデジタル信号記憶手段を M 個のブロックに分け、該 M 個のブロックに含まれる前記 m 個のデジタル信号記憶手段の出力信号を前記第2のクロックの一周期内に順に選択して出力する第1乃至第 M のデジタル選択手段と、
- d) 縦続接続された第1段乃至第 M 段の符号用フリップフロップを有し、かつ、
- 10 前記第2のクロックに同期して動作するデジタル符号列用巡回型シフトレジスタであって、
- ・ 前記 M 個のデジタル符号が前記第1段乃至第 M 段の符号用フリップフロップにそれぞれ格納され、
 - ・ 前記第 M 段の符号用フリップフロップの出力端子が前記第1段の符号用フリ
- 15 ップフロップの入力端子に接続されている、
- デジタル符号列用巡回型シフトレジスタと、
- e) 前記第1乃至第 M のデジタル選択手段の出力信号と前記第1段乃至第 M 段の符号用フリップフロップの出力信号とをそれぞれ乗算する第1乃至第 M のデジタル乗算手段と、
- 20 f) 該第1乃至第 M のデジタル乗算手段の出力信号を加算するデジタル加算手段と、
- を含むデジタルマッチトフィルタ。

6. 請求項5記載のデジタルマッチトフィルタであって、
- 前記 $m \times M$ 個のデジタル信号記憶手段がそれぞれ、前記第1のクロックに同期
- 25 して動作する並列接続された N 個のフリップフロップを含み、
- 前記デジタル書込み選択手段が、
- 縦続接続された第1段乃至第 $m \times M$ 段の書込み選択用フリップフロップを有し、
- かつ、前記第1のクロックに同期して動作する書込み選択用巡回型シフトレジスタであって、前記第 $m \times M$ 段の書込み選択用フリップフロップの出力信号が前記

第1の書込み選択用フリップフロップに入力される、書込み選択用巡回型シフトレジスタを含み、

動作開始時に、前記デジタル信号記憶手段を選択する信号が前記第1段乃至第 $m \times M$ 段の書込み選択用フリップフロップの任意の1個に格納されている、

5 デジタルマッチトフィルタ。

7. 請求項5記載のデジタルマッチトフィルタであって、

前記 $m \times M$ 個のデジタル信号記憶手段がそれぞれ、前記第1のクロックに同期して動作する、並列接続された N 個のフリップフロップを含み、

前記デジタル書込み選択手段が、

10 動作開始前はリセットされ、動作開始後は前記第1のクロックに同期して動作する縦続接続された第1段乃至第 $m \times M$ 段の書込み選択用フリップフロップと、

動作開始後に、前記デジタル信号記憶手段を選択する信号を前記第1段の書込み選択用フリップフロップに前記第1のクロックの一周期よりも短い期間だけ出力し、該期間の経過後には、前記第 $m \times M$ 段の書込み選択用フリップフロップの

15 出力信号を前記第1段の書込み選択用フリップフロップに出力するデジタル選択回路とを含む、

デジタルマッチトフィルタ。

8. 請求項5記載のデジタルマッチトフィルタであって、

前記 $m \times M$ 個のデジタル信号記憶手段が、 $m \times M$ 個の N ビットのメモリを含み、

20 前記デジタル書込み選択手段が、前記第1のクロックをカウントして前記 $m \times M$ 個のメモリのアドレスを前記第1のクロックに同期して順に出力するアドレスカウンタを含む、

デジタルマッチトフィルタ。

9. 第2のクロックの m 倍の周波数を有する第1のクロックでオーバーサンプリングされた N ビットのデジタル信号と M 個のデジタル符号からなるデジタル符号列との相関値を求めるためのデジタルマッチトフィルタであって、

a) シリアルに入力される前記デジタル信号をシリアル/パラレル変換して第1

乃至第 m のデジタル信号をパラレルに出力するシリアル/パラレル変換手段と、

b) 該シリアル/パラレル変換手段から前記第1乃至第 m のデジタル信号がそれ

ぞれ入力され、かつ、M個の記憶ユニットをそれぞれ有する第1乃至第mのデジタル信号用記憶手段と、

- c) 前記第2のクロックに同期して前記第1乃至第mのデジタル信号用記憶手段ごとに前記M個の記憶ユニットを順に1個ずつ選択し、該選択した記憶ユニットに前記第1乃至第Mのデジタル信号をそれぞれ記憶させるデジタル書込み選択手段と、
- 5 d) 前記第1乃至第mのデジタル信号用記憶手段の出力信号を前記M個の記憶ユニットごとに前記第2のクロックの一周期内に順に選択してそれぞれ出力する第1乃至第Mのデジタル選択手段と、
- 10 e) 縦続接続された第1段乃至第M段の符号用フリップフロップを有し、かつ、前記第2のクロックに同期して動作するデジタル符号列用巡回型シフトレジスタであって、
- ・前記M個のデジタル符号が前記第1段乃至第M段の符号用フリップフロップにそれぞれ格納され、
 - 15 ・前記第M段の符号用フリップフロップの出力端子が前記第1段の符号用フリップフロップの入力端子に接続されている、
- デジタル符号列用巡回型シフトレジスタと、
- f) 前記第1乃至第Mのデジタル選択手段の出力信号と前記第1段乃至第M段の符号用フリップフロップの出力信号とをそれぞれ乗算する第1乃至第Mのデジタル乗算手段と、
- 20 g) 該第1乃至第Mのデジタル乗算手段の出力信号を加算するデジタル加算手段と、

を含むデジタルマッチトフィルタ。

10. 請求項9記載のデジタルマッチトフィルタであって、

- 25 前記第1乃至第mのデジタル信号用記憶手段の前記M個の記憶ユニットがそれぞれ、前記第2のクロックに同期して動作する並列接続されたN個のフリップフロップを含み、

前記デジタル書込み選択手段が、

縦続接続された第1段乃至第M段の書込み選択用フリップフロップをそれぞれ

有し、かつ、前記第2のクロックに同期して動作する第1乃至第mの書込み選択用巡回型シフトレジスタであって、前記第M段の書込み選択用フリップフロップの出力信号が前記第1段の書込み選択用フリップフロップに入力される、第1乃至第mの書込み選択用巡回型シフトレジスタを含み、

- 5 動作開始時に、前記第1乃至第mのデジタル信号記憶手段の前記M個の記憶ユニットを選択する信号が、第1乃至第mの書込み選択用巡回型シフトレジスタの前記第1段乃至第M段の書込み選択用フリップフロップの任意の1個にそれぞれ格納されている、

デジタルマッチトフィルタ。

- 10 11. 請求項9記載のデジタルマッチトフィルタであって、

前記第1乃至第mのデジタル信号用記憶手段の前記M個の記憶ユニットがそれぞれ、前記第2のクロックに同期して動作する並列接続されたN個のフリップフロップを含み、

前記デジタル書込み選択手段が、

- 15 動作開始前はリセットされ、動作開始後は前記第2のクロックに同期して動作する縦続接続された第1段乃至第M段の書込み選択用フリップフロップをそれぞれ有する第1乃至第mの書込み選択用シフトレジスタと、

動作開始後に、前記第1乃至第mのデジタル信号記憶手段の前記M個の記憶ユニットを選択する信号を前記第1乃至第mの書込み選択用シフトレジスタの前記第1段乃至第M段の書込み選択用フリップフロップに前記第2のクロックの一周

20 期よりも短い期間だけそれぞれ出力し、該期間の経過後には、前記第1乃至第mの書込み選択用シフトレジスタの前記第M段の書込み選択用フリップフロップの出力信号を前記第1乃至第mの書込み選択用シフトレジスタの前記第1段の書込み選択用フリップフロップにそれぞれ出力する第1乃至第mのデジタル選択回路

- 25 とを含む、

デジタルマッチトフィルタ。

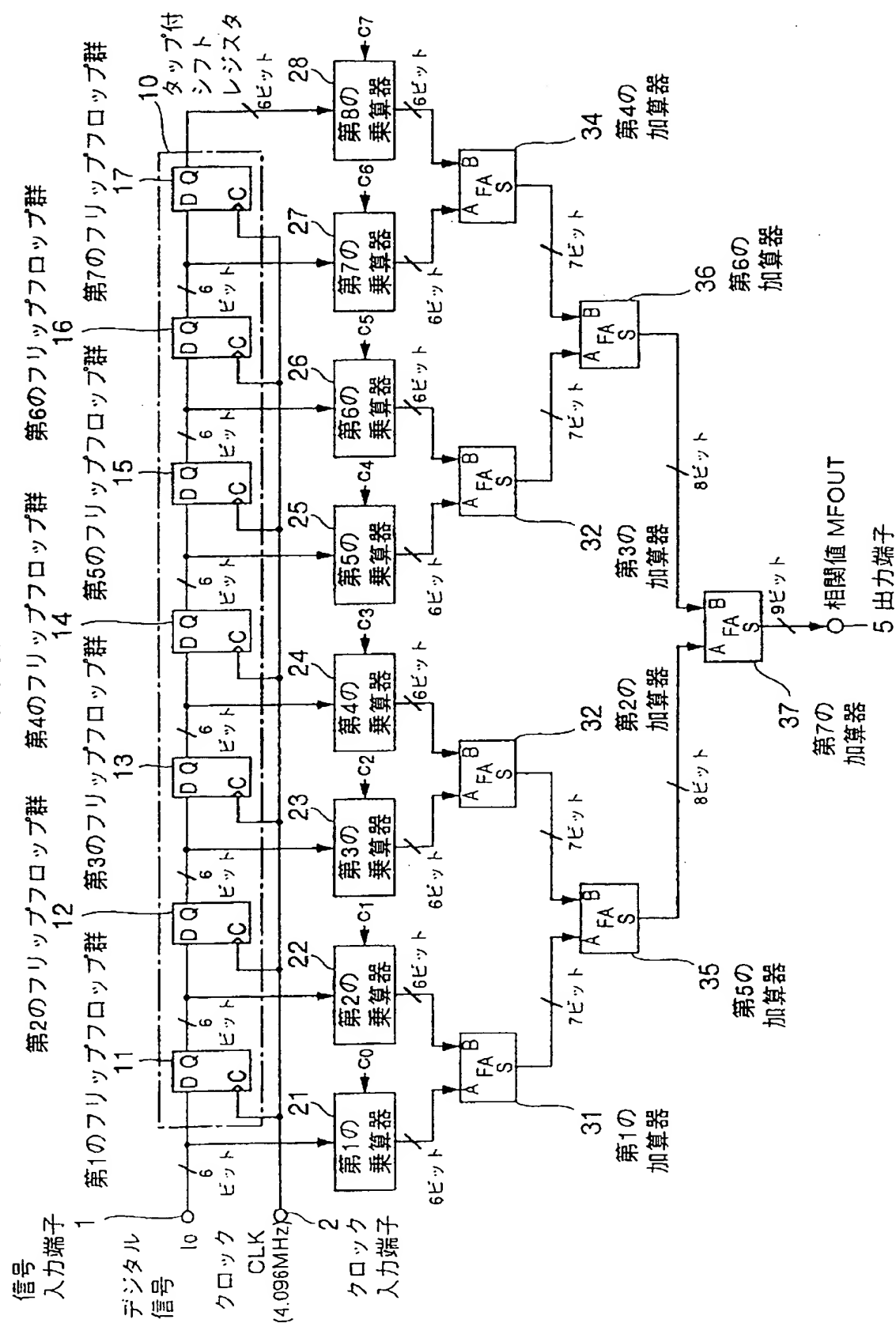
12. 請求項9記載のデジタルマッチトフィルタであって、

前記第1乃至第mのデジタル信号用記憶手段の前記M個の記憶ユニットがそれぞれ、Nビットのデジタル信号記憶用メモリを含み、

前記デジタル書込み選択手段が、前記第 2 のクロックをカウントして前記第 1 乃至第 m のデジタル信号用記憶手段ごとに前記デジタル信号記憶用メモリのアドレスを前記第 2 のクロックに同期して順に出力するアドレスカウンタを含む、デジタルマッチトフィルタ。

1/10

FIG.1



2/10

FIG.2

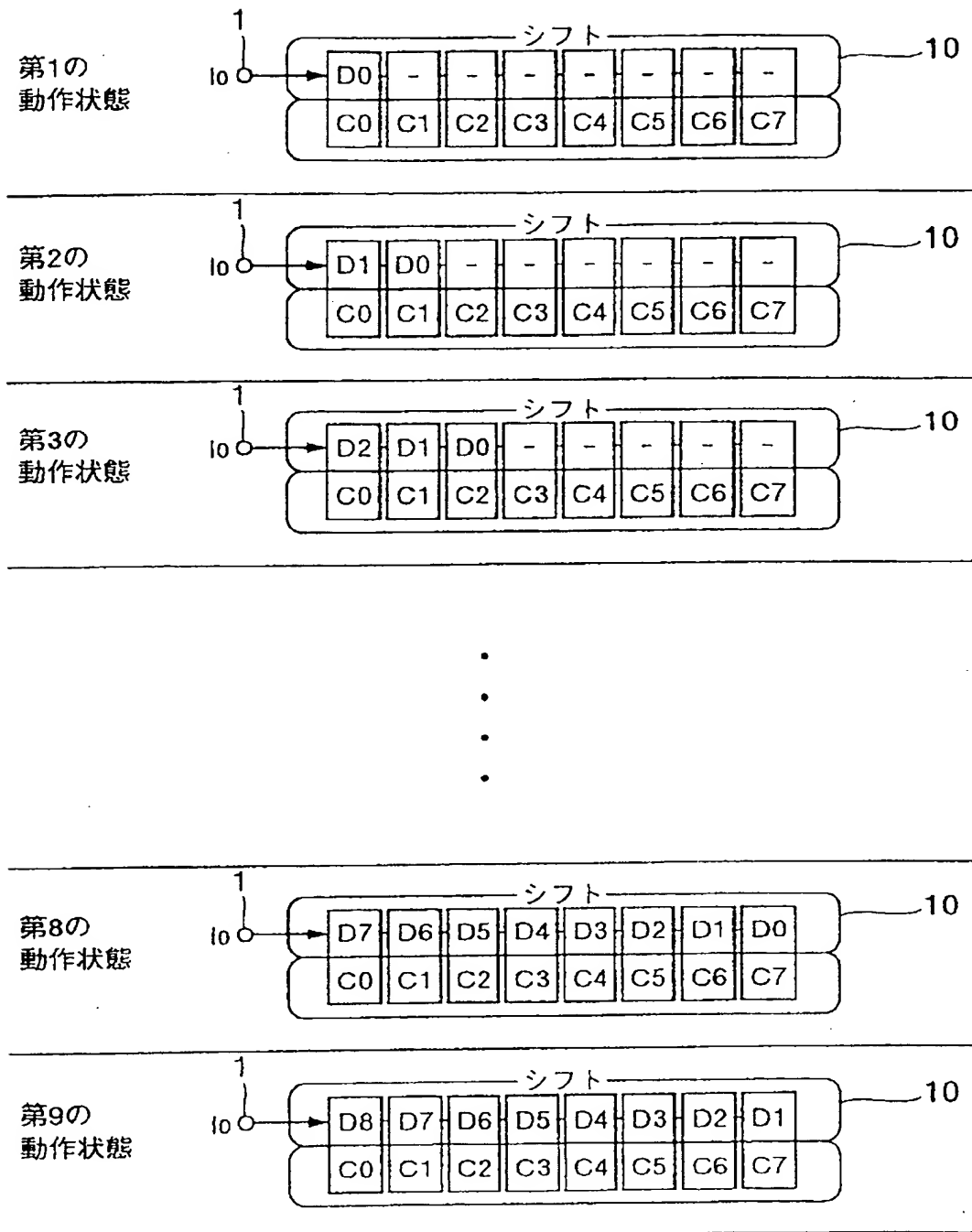


FIG.3

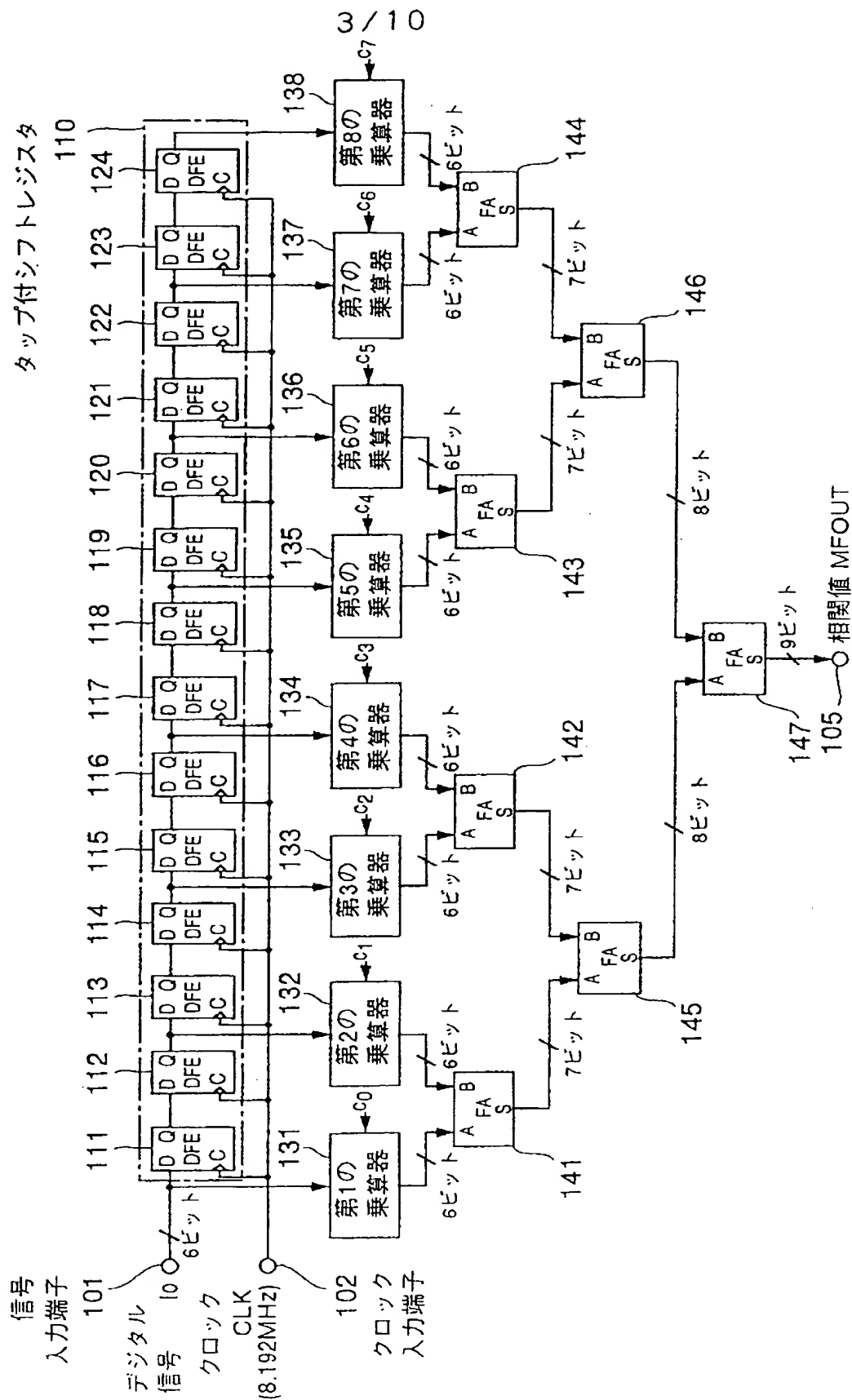
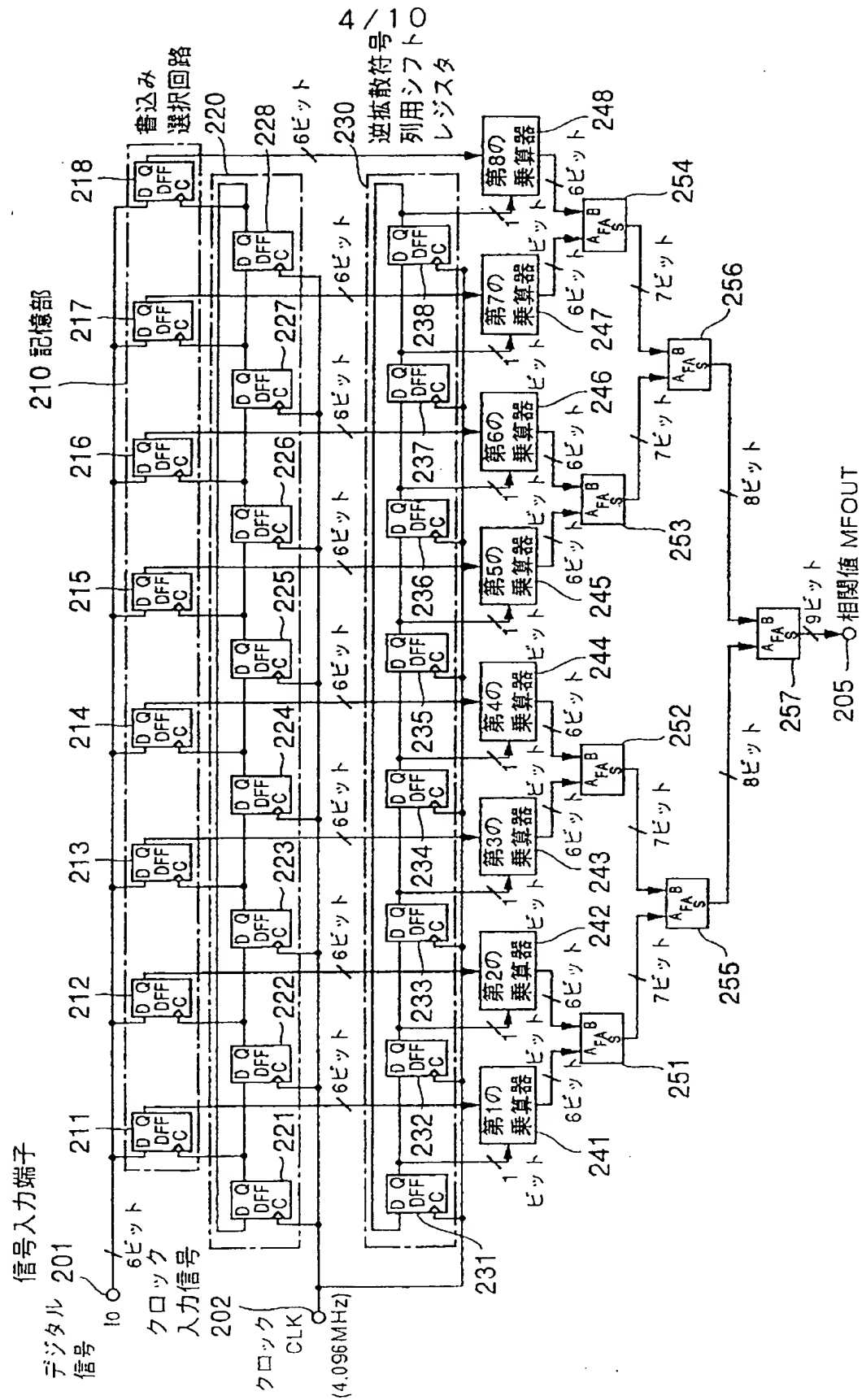


Fig. 4



5/10

FIG.5

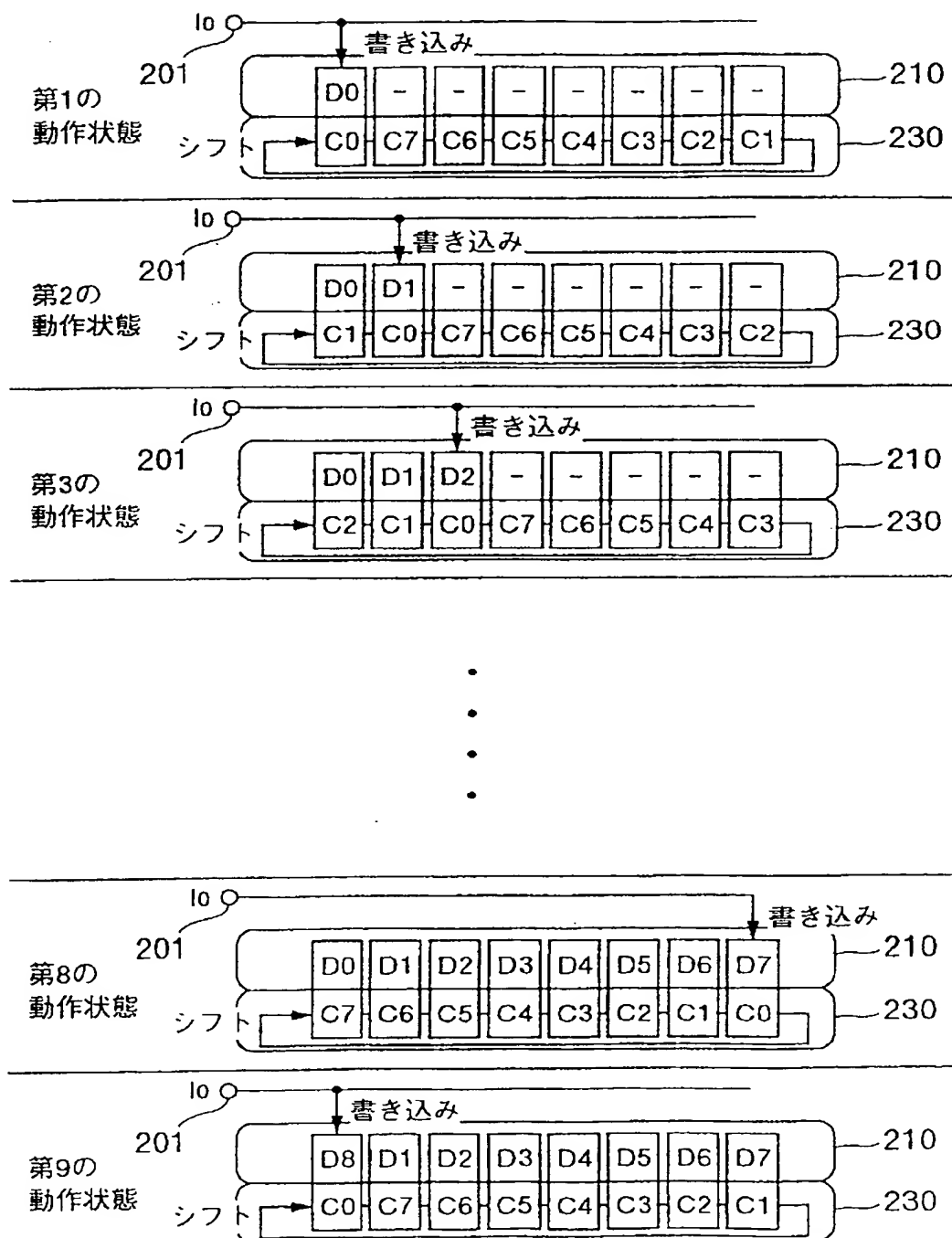
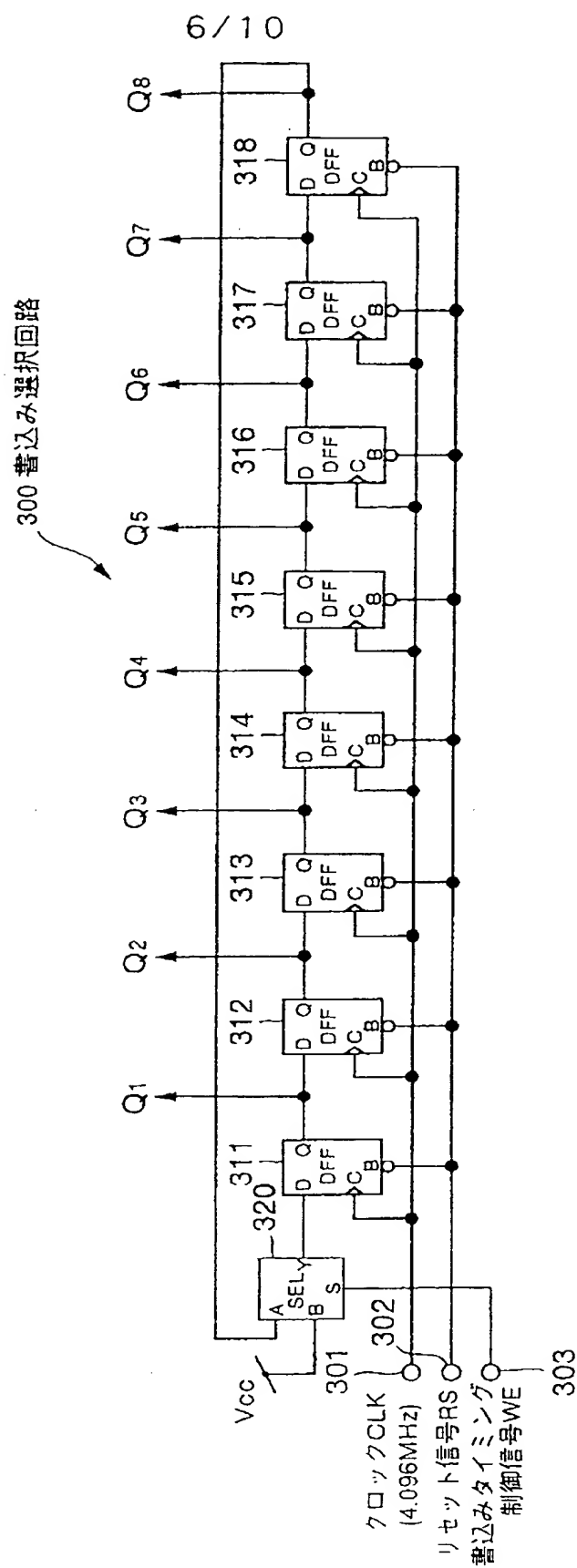


FIG. 6



7/10

FIG.7

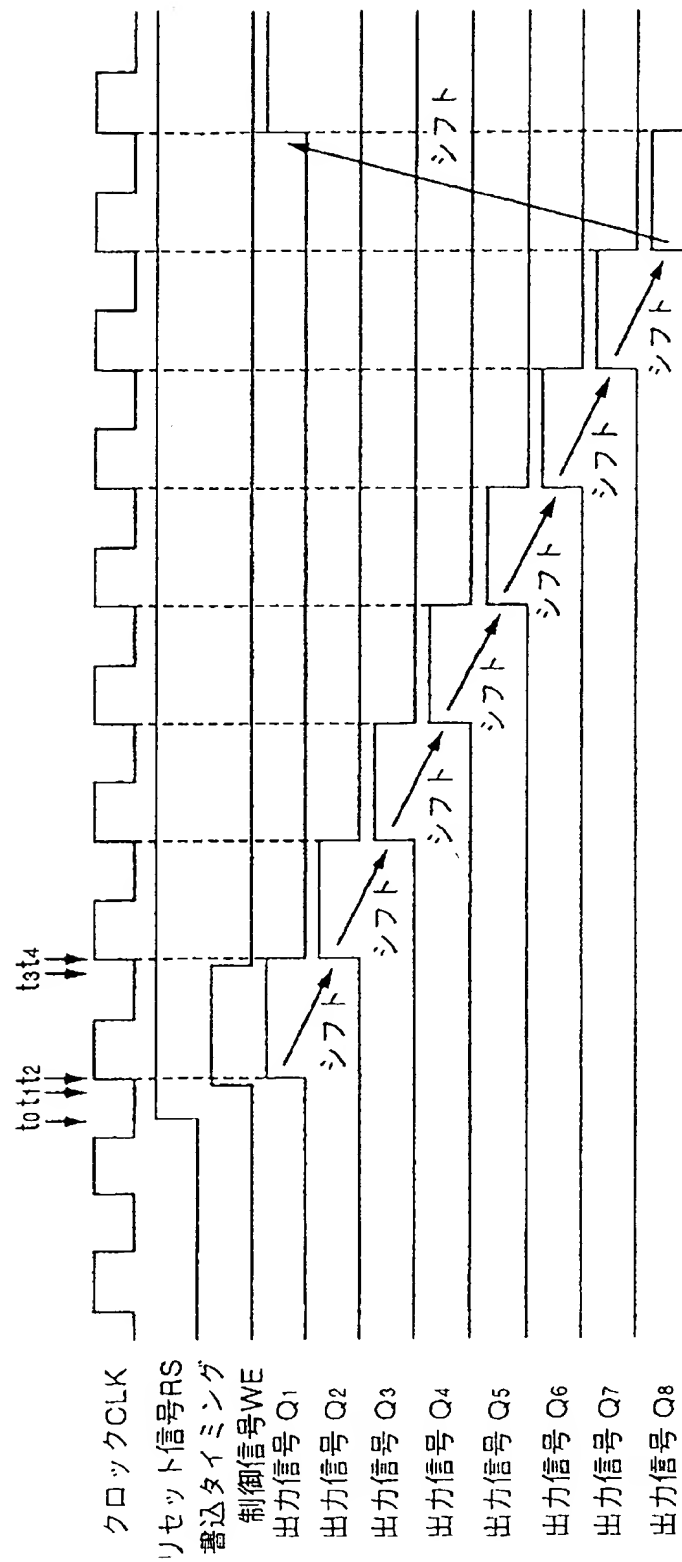
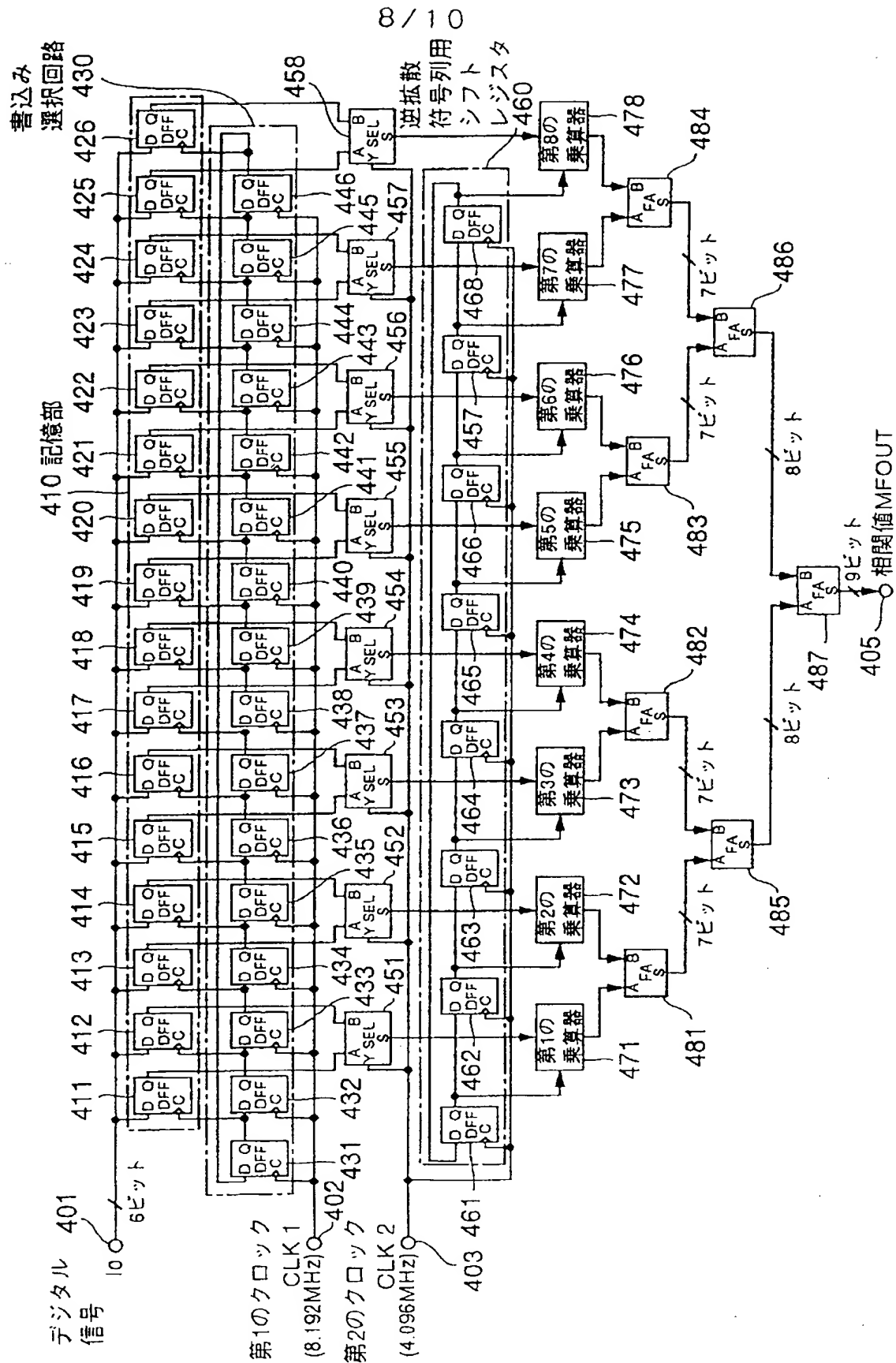


FIG.8



9 / 10

FIG.9

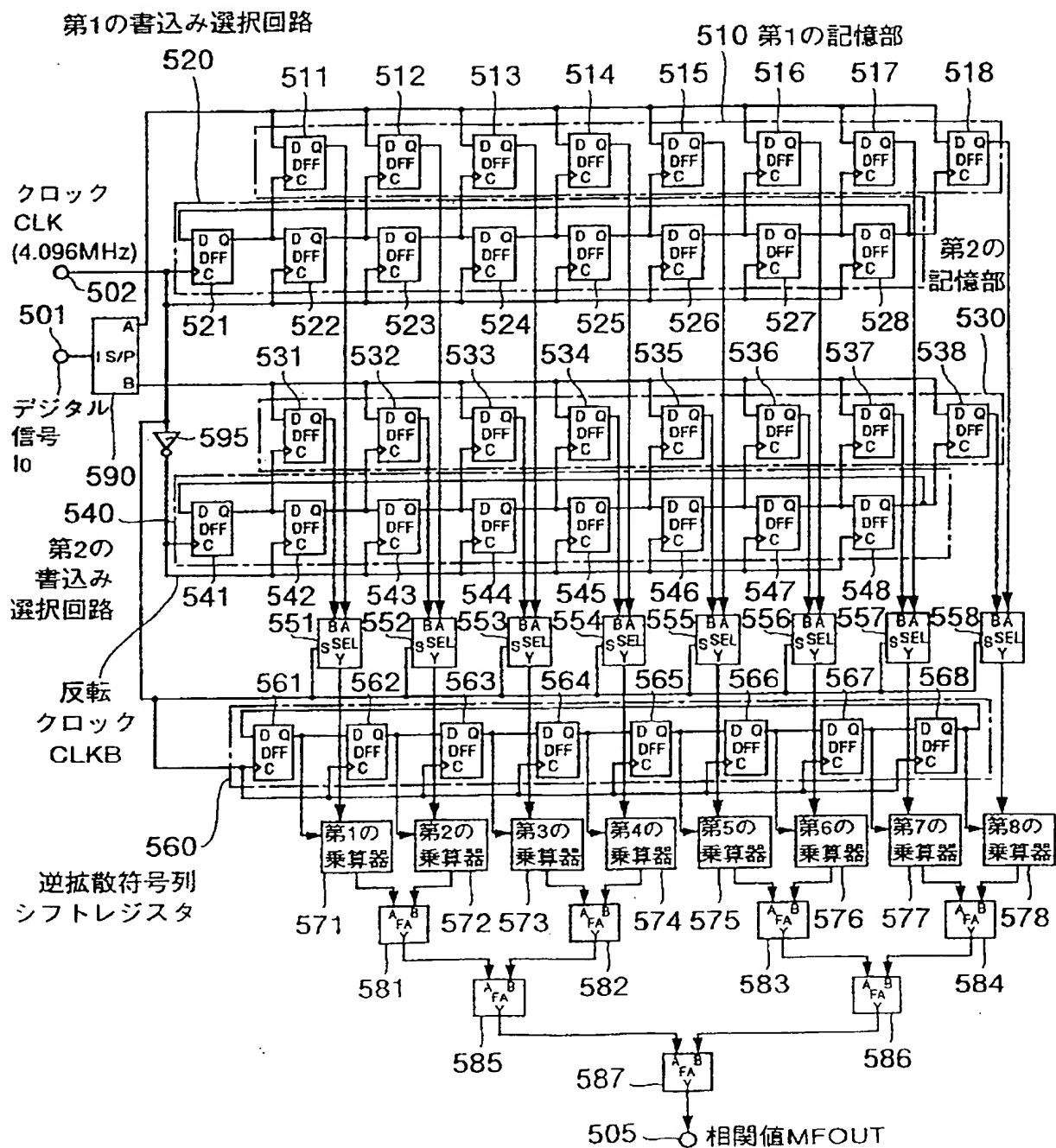
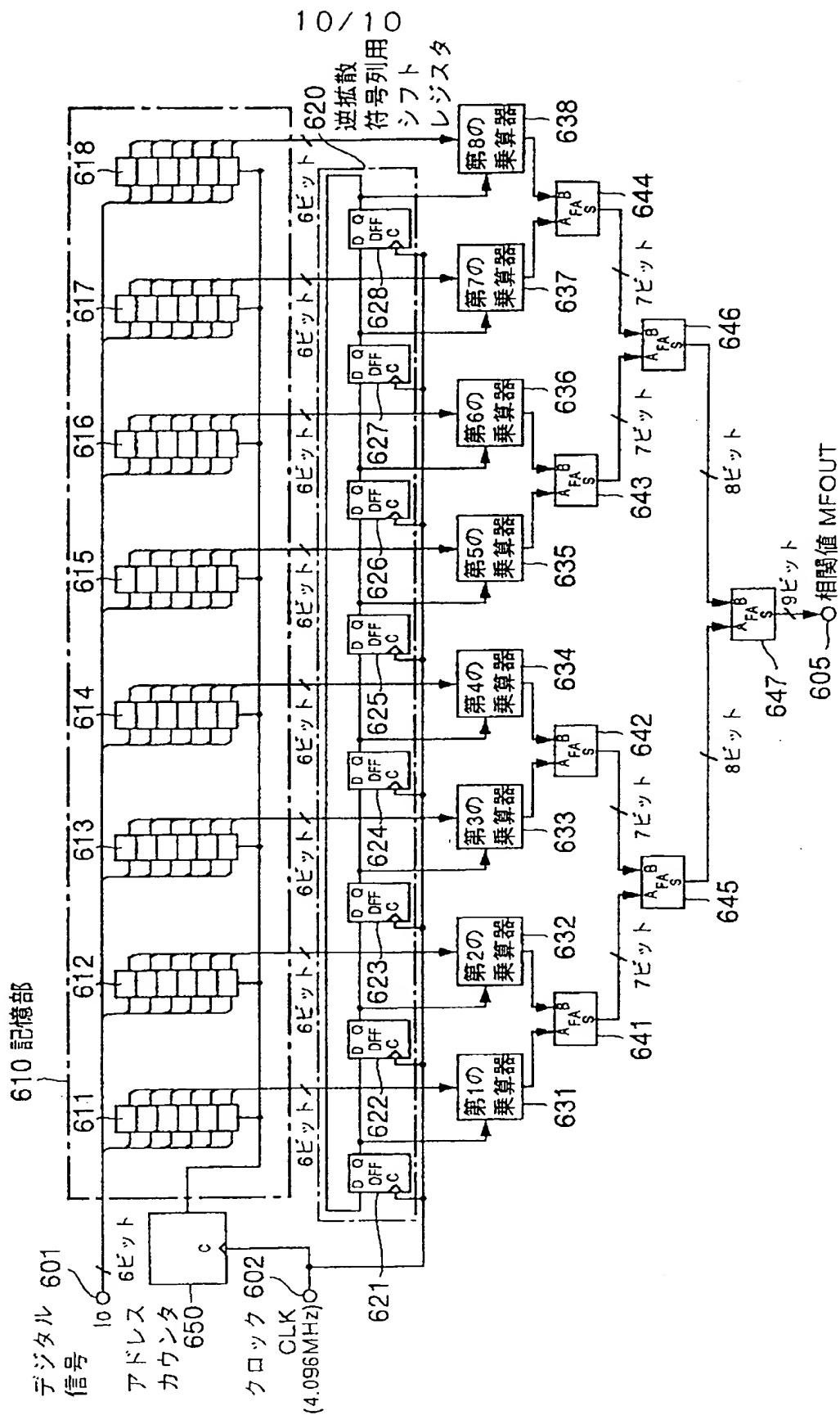


FIG.10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP97/02647

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ G06F17/15, H03H17/02, H04J13/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ G06F17/15, H03H17/02, H04J13/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926 - 1996	Jitsuyo Shinan Toroku
Kokai Jitsuyo Shinan Koho	1971 - 1997	Koho
Toroku Jitsuyo Shinan Koho	1994 - 1997	1996 - 1997

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 5-252141, A (Ricoh Co., Ltd.), September 28, 1993 (28. 09. 93), Page 7, column 11, lines 26 to 45 (Family: none)	1 - 4
X	JP, 9-116522, A (NTT Mobile Communications Network Inc.), May 2, 1997 (02. 05. 97), Page 3, column 4, line 15 to page 4, column 5, line 28 (Family: none)	1 - 4
A	JP, 8-065205, A (Matsushita Electric Industrial Co., Ltd.), March 8, 1996 (08. 03. 96), Page 2, column 2, lines 4 to 19 (Family: none)	1 - 12

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
October 31, 1997 (31. 10. 97)Date of mailing of the international search report
November 11, 1997 (11. 11. 97)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁸ G06F17/15, H03H17/02, H04J13/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁸ G06F17/15, H03H17/02, H04J13/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1997年

日本国実用新案登録公報 1996-1997年

日本国登録実用新案公報 1994-1997年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 5-252141, A (株式会社リコー), 28. 9月. 1993 (28. 09. 93), 第7頁, 第11欄第26-45行 (ファミリーなし)	1-4
X	J P, 9-116522, A (エヌ・ティ・ティ移動通信網株式会社), 2. 5月. 1997 (02. 05. 97), 第3頁, 第4欄, 第15行-第4頁, 第5欄, 第28行 (ファミリーなし)	1-4
A	J P, 8-065205, A (松下電器産業株式会社), 8. 3月. 1996 (08. 03. 96), 第2頁, 第2欄, 第4-19行 (ファミリーなし)	1-12

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 先行文献ではあるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

31. 10. 97

国際調査報告の発送日

11.11.97

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

石井茂和

印

5 L

8837

電話番号 03-3581-1101 内線 6963

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

This Page Blank (uspto)